

ЦИФРОВЫЕ УСТРОЙСТВА

УЧЕБНИК ДЛЯ КОЛЛЕДЖЕЙ



Профессиональное образование

М. А. Нсанов

**Цифровые устройства.
Учебник для колледжей**

«Издательские решения»

Нсанов М. А.

Цифровые устройства. Учебник для колледжей / М. А. Нсанов —
«Издательские решения»,

ISBN 978-5-44-931881-7

Рассматриваются: элементная база цифровой микроэлектроники, принципы синтеза и анализа работы цифровых устройств на логических элементах, цифровые устройства комбинационного (дешифраторы, сумматоры и прочие) и последовательностного (триггеры, регистры, счетчики, ЗУ) типа с большим количеством примеров работы конкретных микросхем. Для студентов любых технических специальностей, где изучается аппаратура цифровой микроэлектроники. Автор рекомендует использовать формат fb2 и читалку CoolReader.

ISBN 978-5-44-931881-7

© Нсанов М. А.
© Издательские решения

Содержание

Введение	6
Раздел 1. Логические элементы	8
1.1. Общие сведения о цифровых сигналах и цифровых устройствах	8
1.2. Общие сведения о логических элементах	10
1.3. Интегральные микросхемы (ИМС). Маркировка ИМС	21
1.4. Структура ИМС	23
1.5. ИМС логических элементов	24
1.6. Основные параметры, характеризующие работу ИМС	28
1.7. Сравнительная характеристика ИМС различных структур	30
1.8. Элементы с открытым коллекторным выходом	32
1.9. Буферные элементы	33
***1.10. Мажоритарные элементы	36
1.11. Преобразователи уровней	37
Раздел 2. Основы синтеза и анализа работы цифровых устройств	38
2.1. Формы записи логических функций	39
2.2. Минимизация логических функций	42
2.3. Подбор микросхем, построение и анализ работы схем ЦУ в базисе И, ИЛИ, НЕ. Оценка качества схем	50
2.4. Переход к базису И-НЕ. Подбор микросхем, построение и анализ работы схем ЦУ в базисе И-НЕ	63
2.5. Переход к базису ИЛИ-НЕ. Подбор микросхем, построение и анализ работы схем ЦУ в базисе ИЛИ-НЕ	68
2.6. Использование в схемах элементов разных базисов и комбинированных микросхем	72
2.7. Сравнительная оценка качества схем	76
2.8. Синтез и анализ работы ЦУ с 4 входами	77
Конец ознакомительного фрагмента.	84

Цифровые устройства Учебник для колледжей

М. А. Нсанов

© М. А. Нсанов, 2023

ISBN 978-5-4493-1881-7

Создано в интеллектуальной издательской системе Ridero

Введение

Предлагаемый учебник по предмету «Цифровые устройства» для колледжей, которые готовят специалистов связи, разработал преподаватель Алматинского колледжа связи Нсанов Мурат Алиевич (в настоящее время – преподаватель Алматинского Государственного колледжа транспорта и коммуникаций).

Первый вариант учебника был издан в Республике Казахстан в 1997 году для колледжей связи. Но ввиду бурного развития цифровой микроэлектроники, очень малого тиража и высокого спроса автор был вынужден существенно переработать и расширить учебник.

Данный второй вариант учебника прошел рецензирование со стороны преподавателей и специалистов, все необходимые этапы согласования и утверждения, был подготовлен к печати, включен в план издания, но во время финансового кризиса 2007—2010 гг. издание было приостановлено. В 2010 г. был переведен и издан в Республике Казахстан на казахском языке. Сейчас учебник готовится к переизданию, но только на казахском языке.

Предлагаемая разновидность второго варианта учебника переработана исключительно для использования в электронном виде, так как содержит множество цветного графического материала.

Учебник может быть полезен не только студентам и преподавателям учебных заведений, которые готовят специалистов связи, но и студентам других отраслей, где используются устройства цифровой микроэлектроники.

Информатизация общества – одна из важнейших задач, стоящих перед нашей страной. Решение этой задачи невозможно без интенсивного развития средств передачи и обработки информации.

Процессы передачи и обработки информации целесообразно вести при дискретном характере их представления, так как цифровые методы обеспечивают меньшую зависимость качества передачи от расстояния между пользователями, большую гибкость и простоту организации обмена информацией, значительно большую точность и помехоустойчивость, простоту управления и легкость автоматизации. Поэтому в настоящее время любая современная техника связи: радио- и телевизионная, телефонная, телеграфная, аппаратура многоканальной связи, а также контрольная, измерительная и диагностирующая аппаратура в основном состоит из микросхем самых разнообразных цифровых устройств. Это приводит к острой необходимости базовой подготовки техников связи в области цифровых устройств, которая требуется при изучении, эксплуатации, ремонте и наладке аппаратуры связи. Именно изучению принципов построения и функционирования цифровых устройств, применяемых в технике связи, и посвящен данный учебник.

Предмет содержит четыре раздела: первый раздел знакомит учащихся с основными понятиями и элементной базой цифровой техники, во втором разделе изучаются принципы построения и функционирования цифровых устройств, в третьем и четвертом – цифровые устройства соответственно комбинационного (шифраторы и дешифраторы, мультиплексоры и демультимплексоры, преобразователи кодов, сумматоры, субтракторы, компараторы, АЛУ, устройства и узлы контроля) и последовательностного (интегральные триггеры, регистры и регистровые файлы, счетчики, распределители, запоминающие устройства) типа.

Каждую тему **обязательно** следует сопровождать проведением практических занятий и (или) лабораторных работ (**Сборник лабораторных работ тоже размещен в Интернете**) для закрепления полученных знаний, а также для получения практических умений и навы-

ков работы с цифровыми микросхемами. Эту же цель преследует и курсовое проектирование, предусмотренное в программе предмета и учебных планах. Хотя база примеров учебника дается в основном на микросхемах российской серии КР1533 с указанием функциональных аналогов американской фирмы «Texas Instruments» и некоторых других фирм, любой колледж сравнительно легко может адаптировать излагаемый материал для проведения практических занятий и лабораторных работ к имеющейся у него материально-технической базе.

Небольшая часть учебника, отмеченная знаками «***» и напечатанная более мелким шрифтом, содержит достаточно важные в современных условиях, но *пока* не включенные в программу предмета темы ко времени работы над книгой из-за недостатка времени по учебным планам. Они здесь даются для расширения и углубления знаний учащихся.

Специалисты любого направления деятельности сталкиваются с различными действующими в мире стандартами, что представляет определенные трудности при эксплуатации оборудования производства различных стран и фирм. Это в полной мере относится к условным графическим обозначениям элементов и устройств цифровой техники. Здесь действуют стандарты **ISO** (Международная организация по стандартизации), **CEN** (Европейский комитет по стандартизации), **IEC** (Международная электротехническая комиссия), **CENELEC** (Европейский комитет по электротехническим стандартам) и др., а также стандарты различных стран: **ГОСТ** (Российская Федерация, Республика Казахстан и некоторые другие страны), **DIN** (Германия), **BS** (Великобритания), **AFNOR** (Франция), **JIS** (Япония), **KOR** (Республика Корея), стандарты США – **ANSI** (Американский национальный институт стандартизации), **EIA** (Альянс отраслей электронной промышленности), **IEEE** (Институт инженеров по электротехнике и электронике) и т. д.

Поэтому в данной книге указаны стандарты изображения элементов и устройств цифровой микроэлектроники в соответствии со стандартами РФ, РК и др. (условно названы «восточные») а также в соответствии со стандартами США, Республики Корея, Германии и др. (условно названные «западные»).

С глубокой признательностью автор примет любые замечания, предложения и поправки специалистов, коллег-преподавателей и студентов, которые будут полезны при переработке данной книги в процессе дальнейшего развития цифровой техники.

Если появятся какие-либо вопросы к автору, то можно непосредственно связаться с ним по адресу электронной почты: **murat.nsanov@gmail.com**.

Как сказано в аннотации, автор рекомендует использовать формат **fb2** и читалку **CoolReader**. При этом для наиболее удобного чтения желательно установить черный шрифт на белом фоне. На взгляд автора лучше использовать шрифт Times New Roman размером 18. Обязательно нужно отключить переносы: при настройке в позиции «Текст» – «Переносы» выбрать «Disable hyphenation».

Каждый читатель устанавливает в читалках наиболее удобные ему параметры книги, поэтому ни автор, ни издательство не может убрать пустые места и ликвидировать некоторые другие недостатки, зависящие от установленных параметров.

Раздел 1. Логические элементы

1.1. Общие сведения о цифровых сигналах и цифровых устройствах

В современных цифровых устройствах (ЦУ) мы имеем дело лишь с двумя видами сигналов: логического **0** и логической **1**. Эти цифровые сигналы обычно представляются в *потенциальной* форме с *положительной логикой* сигналов, когда сигналу логического **0** соответствует положительное постоянное напряжение низкого уровня, а сигналу логической **1** – положительное постоянное напряжение более высокого уровня. Например, для микросхем серии КР1533 сигналу логического нуля соответствует напряжение не более **+0,8 В**, а сигналу логической **1** – напряжение не менее **+2 В**. **В дальнейшем никогда не следует забывать о физическом смысле цифровых сигналов логического 0 и логической 1: это постоянное напряжение разной величины!**

Любая информация в ЦУ может быть представлена совокупностью определенного количества сигналов логического **0** и логической **1** в двух формах:

– **Последовательной**, когда в *одной* цепи идет *последовательное* чередование сигналов через равные тактовые временные интервалы **T**. Например так, как показано на рис. 1.1.

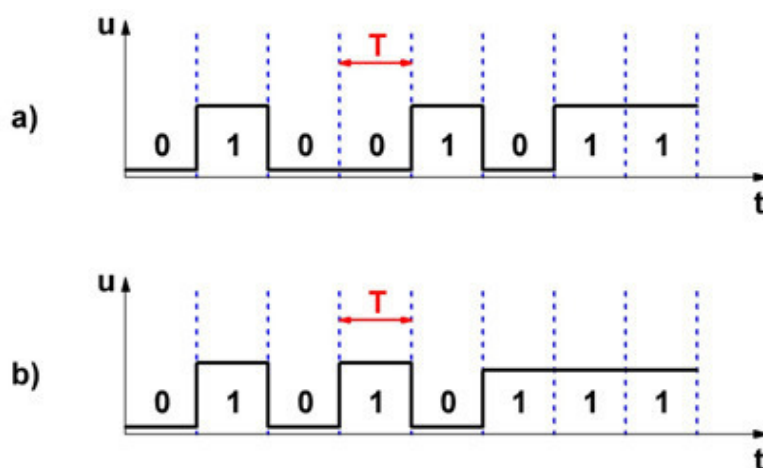


Рис. 1.1

– **Параллельной**, когда в *разных* нескольких цепях *одновременно* действуют соответствующие сигналы, причем каждый сигнал в своей цепи.

Такая комбинация цифровых сигналов, несущая какую-либо информацию, называется *кодovým словом* или просто *кодом*. В англоязычной литературе она называется просто *словом* (word). Таким образом, изображенные на рис. 1.1a и рис. 1.1b совокупности сигналов представляют собой кодовые слова **01001011** и **01010111**. Именно так выражаются буквы **K** и **W** английского алфавита в коде **КОИ-8** (KOI-8). С помощью кодовых слов можно представить не только буквы, но и другие знаки, а также рисунки (в том числе схемы и диаграммы), звуковую информацию (речь, музыку), телевизионные изображения и т. д.

Устройства, предназначенные для передачи, приема и обработки цифровой информации (то есть информации, выраженной кодовыми словами), называются *цифровыми устройствами*.

По способу функционирования ЦУ могут быть двух видов:

– **Комбинационные ЦУ**, не обладающие памятью (т.е. не способные запоминать результаты выполненных операций). Здесь значения сигналов на выходах (выходное кодовое слово) определяются только совокупностью сигналов на входах (входным кодовым словом) в данный момент времени.

– **Последовательностные ЦУ (устройства с памятью)**, способные запоминать результаты выполненных операций и хранить эту информацию на своих выходах в виде кодовых слов. У них значение выходного кодового слова определяется не только входным кодовым словом в данный момент времени, но и хранившимся на выходах кодовым словом в предыдущий момент времени.

1.2. Общие сведения о логических элементах

Любые узлы цифровой аппаратуры строятся с помощью устройств, которые называются *логическими элементами (ЛЭ)*. В основном применяются лишь **5 ЛЭ**, общие сведения о которых приведены в табл.1.1.

Табл. 1.1

Названия элементов	Условное графическое изображение	Выполняемые операции	Символическая запись операции	Таблица истинности															
Элемент НЕ (инвертор)		Логическое отрицание (инверсия, операция НЕ)	$Y = \bar{X}$	<table border="1"> <thead> <tr> <th>X</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	X	Y	0	1	1	0									
X	Y																		
0	1																		
1	0																		
Элемент И (конъюнктор)		Логическое умножение (конъюнкция, операция И)	$Y = X_1 \cdot X_2 =$ $= X_1 \wedge X_2$	<table border="1"> <thead> <tr> <th>X₁</th> <th>X₂</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	X ₁	X ₂	Y	0	0	0	0	1	0	1	0	0	1	1	1
X ₁	X ₂	Y																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
Элемент ИЛИ (дизъюнктор)		Логическое сложение (дизъюнкция, операция ИЛИ)	$Y = X_1 \vee X_2$	<table border="1"> <thead> <tr> <th>X₁</th> <th>X₂</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	X ₁	X ₂	Y	0	0	0	0	1	1	1	0	1	1	1	1
X ₁	X ₂	Y																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	
Элемент И-НЕ (элемент Шеффера)		Логическое умножение с последующим отрицанием (операция И-НЕ, штрих Шеффера)	$Y = \overline{X_1 \cdot X_2} =$ $= X_1 / X_2$	<table border="1"> <thead> <tr> <th>X₁</th> <th>X₂</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	X ₁	X ₂	Y	0	0	1	0	1	1	1	0	1	1	1	0
X ₁	X ₂	Y																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
Элемент ИЛИ-НЕ (элемент Пирса)		Логическое сложение с последующим отрицанием (операция ИЛИ-НЕ, стрелка Пирса)	$Y = \overline{X_1 \vee X_2} =$ $= X_1 \downarrow X_2$	<table border="1"> <thead> <tr> <th>X₁</th> <th>X₂</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	X ₁	X ₂	Y	0	0	1	0	1	0	1	0	0	1	1	0
X ₁	X ₂	Y																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	

Примечание. В колонке «Условное графическое изображение элемента» приведены два рисунка каждого элемента: вверху – в соответствии с «восточным» стандартом, внизу **красным** цветом – в соответствии с «западным» стандартом (см. Введение).

Входы элементов *всегда* изображаются слева. Сигналы, которые подаются на входы, называются *логическими переменными* или *логическими аргументами* и обозначаются обычно буквами «X» с нумерацией: X_1 , X_2 , X_3 и т. д.

Выходы элементов *всегда* изображаются справа. Сигналы, которые формируются на выходах, называются *логическими функциями* и обозначаются обычно буквами «Y» или $f(X)$.

В соответствии с «восточным» стандартом ЛЭ и любые другие устройства цифровой микроэлектроники поворачивать нельзя, по «западному» стандарту – можно.

ЛЭ выполняет указанную в табл. 1.1 соответствующую операцию со входными сигналами, а результат выполненной операции формируется на его выходе.

Элементы **НЕ** всегда имеют только один вход.

Элементы **И**, **ИЛИ**, **И-НЕ**, **ИЛИ-НЕ** могут иметь не только два (как показано в табл. 1.1), но и три, и четыре входа (иногда даже больше – до 8). Соответственно элементы при этом будут выполнять операции с двумя, тремя, четырьмя и более входными сигналами (смотрите тему 1.5).

Элементы **ИЛИ** в основном (но не всегда!) имеют лишь два входа. Если требуется выполнить логическое сложение трех и более сигналов, то используются несколько элементов **ИЛИ** с двумя входами.

С настоящего момента следует иметь в виду, что *результат логического сложения* сигналов $1 \vee 1 = 1$ *отличается от результата арифметического сложения* тех же сигналов $1 + 1 = 2$. Поэтому не следует путать эти две разновидности операции сложения.

Элементы, которые имеют два или более входа, в название элемента должны включать цифру, которая указывает на количество входов, например: элемент **2И** (элемент **И** с двумя входами), элемент **3ИЛИ-НЕ** (элемент **ИЛИ-НЕ** с тремя входами) и т. д.

Смысл названий элементов заключается в следующем:

– Элемент **НЕ**. На выходе элемента формируется **НЕ** такой сигнал, какой подается на вход.

– Элемент **И**. На выходе элемента формируется сигнал логической **1** только тогда, когда сигналы логической **1** поступают **И** на первый, **И** на второй, **И** на все остальные входы.

– Элемент **ИЛИ**. На выходе элемента формируется сигнал логической **1**, когда сигнал **1** поступает **ИЛИ** на первый вход, **ИЛИ** на второй вход, **ИЛИ** на любой другой вход, **ИЛИ** на несколько входов одновременно.

– Элемент **И-НЕ** сначала выполняет логическое умножение (операцию **И**) входных сигналов, а затем полученный результат инвертирует (делает операцию **НЕ**). Структура элемента **2И-НЕ** приведена на рис. 1.2а.

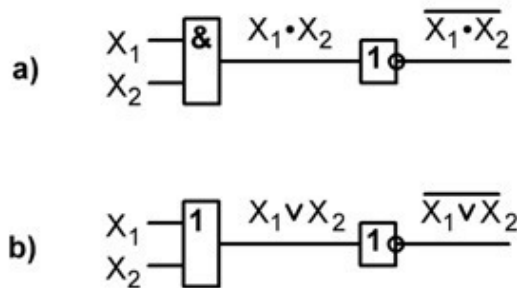


Рис.1.2

– Элемент **ИЛИ-НЕ** сначала выполняет логическое сложение (операцию **ИЛИ**) входных сигналов, а затем полученный результат инвертирует (делает операцию **НЕ**). Структура элемента **ИЛИ-НЕ** приведена на рис.1.2б.

Таблица, полностью описывающая работу логического элемента или любого другого ЦУ, называется **таблицей истинности**: здесь показываются все возможные комбинации сигналов, которые могут поступать на входы, и что при этом получается на выходах. **Ни в коем случае не следует заучивать наизусть таблицы истинности логических элементов, нужно только понять смысл выполняемой элементом операции!**

Приведенные в табл.1.1 таблицы истинности элементов **И**, **ИЛИ**, **И-НЕ**, **ИЛИ-НЕ** составлены для двухвходовых элементов. Рекомендуется учащимся попытаться самостоятельно составить таблицы истинности этих элементов, если они будут иметь три и более входа. При этом следует иметь в виду, что количество возможных комбинаций входных сигналов увеличится и будет составлять 2^n , где **n** – количество входов.

Пример 1. Составим таблицу истинности элемента **ИЛИ-НЕ** (табл.1.2):

В технической и справочной литературе таблицы истинности могут иметь несколько иной вид. Вместо сигналов логического **0** и логической **1** могут стоять знаки:

- логический **0**: **Н** (низкий) или **L** (*low* – низкий) уровень напряжения;
- логическая **1**: **В** (высокий) или **H** (*high* – высокий) уровень напряжения.

Например, таблица истинности этого же элемента **ИЛИ-НЕ** может выглядеть следующим образом (табл.1.3).

Табл.1.2

X1	X2	X3	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Табл.1.3

X1	X2	X3	Y
L	L	L	H
L	L	H	L
L	H	L	L
L	H	H	L
H	L	L	L
H	L	H	L
H	H	L	L
H	H	H	L

1. Указать названия всех элементов, и какие операции они выполняют.
2. Исследовать работу схемы в статическом режиме: по заданным (рис.1.3) значениям сигналов на входах ЦУ определить значения сигналов на выходах всех элементов.
3. Проанализировать работу схемы в динамическом режиме: построить временные диаграммы для всех элементов при заданных (рис.1.4) изменениях входных сигналов. Для некоторого упрощения уровень логического нуля примем равным точно **0**.

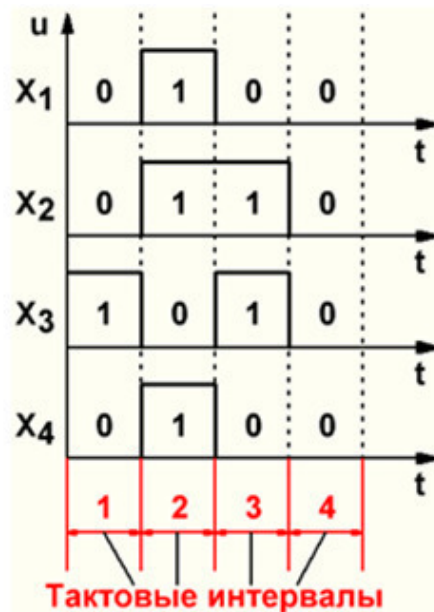


Рис.1.4

О т в е т ы

1. Названия элементов и выполняемые операции (номер каждого элемента стоит над его изображением в схеме):

1,3 – элементы **НЕ**, выполняют операцию логического отрицания (инвертирование).

4 – элемент **И**, выполняет операцию логического умножения.

8 – элемент **И**, выполняет операцию логического умножения.

6,7 – элементы **ИЛИ**, выполняют операцию логического сложения.

2,9 – элементы **И-НЕ**, выполняют операцию логического умножения с последующим инвертированием полученного результата.

5 – элемент **И-НЕ**, выполняет операцию логического умножения с последующим инвертированием полученного результата.

10 – элементы **ИЛИ-НЕ**, выполняют операцию логического сложения с последующим инвертированием полученного результата.

2. Исследование работы схемы в статическом режиме. Значения сигналов на выходах всех элементов показаны на рис.1.5.

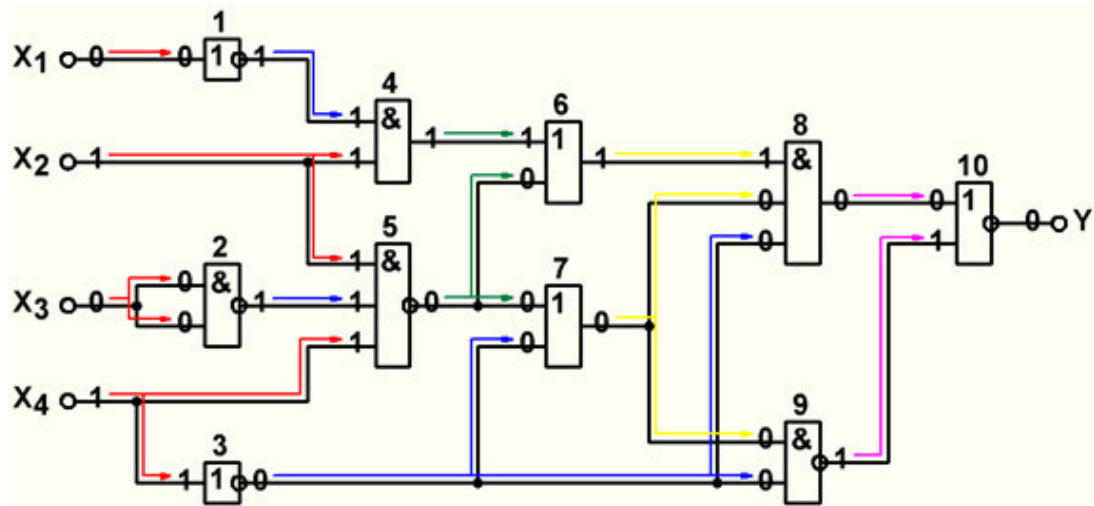


Рис.1.5

Рассмотрим более подробно происходящие процессы.

Со входов X_1 , X_2 , X_3 , X_4 указанные в задании сигналы (рис.3) поступают на входы элементов (на какие элементы – указано **красными стрелками** на рис.1.5).

а) Сначала срабатывают элементы 1, 2 и 3, стоящие в 1-й колонке:

– Элемент 1 инвертирует поступающий на его вход сигнал 0 и на выходе формирует сигнал 1, который далее проходит на вход элемента 4 (прохождение сигнала указано **синей стрелкой**).

– Элемент 2 выполняет операцию **И-НЕ**: сначала умножает поступающие на его входы сигналы 0 и 0, а затем полученный результат инвертирует. В результате на выходе элемента формируется сигнал 1, который далее проходит (**синяя стрелка**) на вход элемента 5.

– Элемент 3 инвертирует поступающий на его вход сигнал 1 и на выходе формирует сигнал 0, который далее проходит (**синие стрелки**) на входы элементов 7, 8 и 9.

б) На следующем этапе срабатывают элементы 4 и 5, стоящие во 2-й колонке:

– Элемент 4 выполняет умножение поступающих на его входы сигналов 1 и 1. В результате на выходе элемента формируется сигнал 1, который далее проходит (**зеленая стрелка**) на вход элемента 6.

– Элемент 5 выполняет операцию **И-НЕ**: сначала умножает поступающие на его входы три сигнала 1, 1 и 1, а затем полученный результат инвертирует. В результате на выходе элемента формируется сигнал 0, который далее проходит (**зеленые стрелки**) на входы элементов 6 и 7.

в) Далее срабатывают элементы 6 и 7, стоящие в 3-й колонке:

– Элемент 6 выполняет логическое сложение поступающих на его входы сигналов 1 и 0. В результате на выходе элемента формируется сигнал 1, который далее проходит (**желтая стрелка**) на вход элемента 8.

– Элемент 7 выполняет логическое сложение поступающих на его входы сигналов 0 и 0. В результате на выходе элемента формируется сигнал 0, который далее проходит (**желтые стрелки**) на входы элементов 8 и 9.

г) Затем срабатывают элементы 8 и 9, стоящие в 4-й колонке:

– Элемент 8 выполняет умножение поступающих на его входы трех сигналов 1, 0 и 0. В результате на выходе элемента формируется сигнал 0, который далее проходит (**розовая стрелка**) на вход элемента 10.

– Элемент **9** выполняет операцию **И-НЕ**: сначала умножает поступающие на его входы сигналы **0** и **0**, а затем полученный результат инвертирует. В результате на выходе элемента формируется сигнал **1**, который далее проходит (**розовая стрелка**) на вход элемента **10**.

д) В конце срабатывает элемент **10**, который выполняет операцию **ИЛИ-НЕ**: сначала делает логическое сложение поступающих на его входы сигналов **0** и **1**, а затем полученный результат инвертирует. В результате на выходе элемента формируется сигнал **0**, который проходит на выход схемы **Y**.

3. Анализ работы схемы в динамическом режиме.

а) Сначала определим, как меняются сигналы на выходе элемента **1** (рис.1.6а). На вход этого элемента сигналы поступают со входа **X₁** (показано **красным** цветом на рис.1.6а), которые меняются следующим образом: в первом такте – **0**, во втором – **1**, в третьем – **0**, в четвертом – **0**. Элемент **1** – это элемент **НЕ**, который инвертирует данные поступающие сигналы и на своем выходе **Y₁** формирует последовательность **1011** (на рис.1.6а показано **синим** цветом).

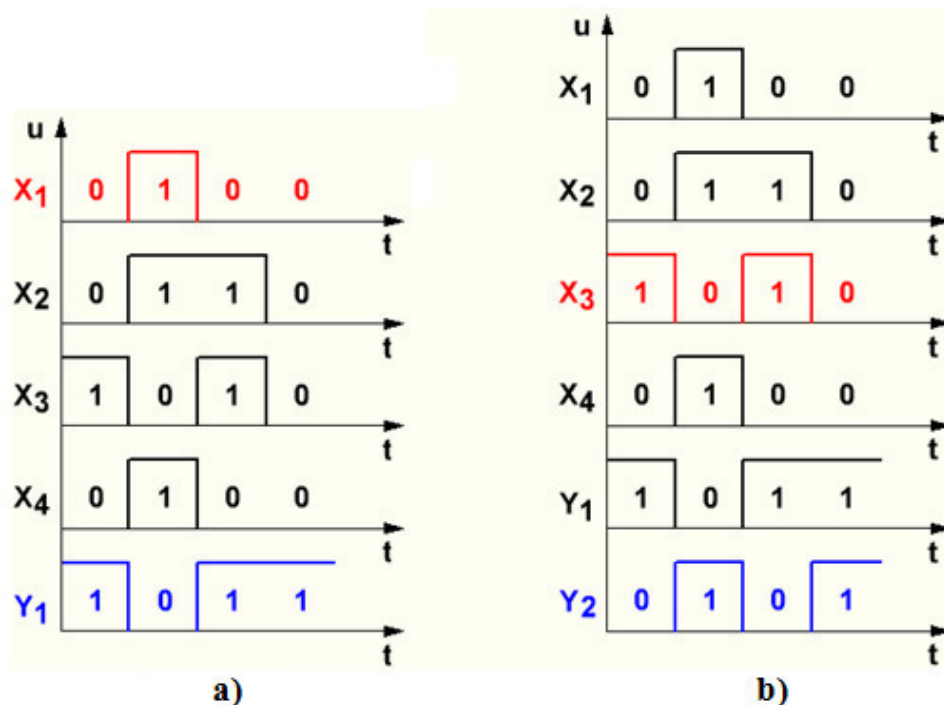


Рис.1.6

б) Теперь рассмотрим изменение сигналов на выходе элемента **2** (рис.1.6б). На оба входа этого элемента поступают сигналы со входа **X₃** (показано **красным** цветом на рис.1.6б), которые меняются так: в первом такте – **11**, во втором – **00**, в третьем – **11**, в четвертом – **00**. Элемент **2** – это элемент **2И-НЕ**, который выполняет умножение данных поступающих сигналов с последующим инвертированием полученных результатов и на своем выходе **Y₂** формирует последовательность **0101** (на рис.1.6б показано **синим** цветом).

По полученным результатам можно сделать еще один важный вывод: *элементы И-НЕ (а также элементы ИЛИ-НЕ) с объединенными входами выполняют функцию элемента НЕ, т.е. производят инвертирование поступающих сигналов.*

в) Далее проанализируем изменение сигналов на выходе элемента **3** (рис.1.7а). На вход этого элемента сигналы поступают со входа **X₄** (показано **красным** цветом на рис.1.7а), которые меняются следующим образом: в первом такте – **0**, во втором – **1**, в третьем – **0**, в четвертом – **0**. Элемент **3** – это элемент **НЕ**, который инвертирует данные поступающие сигналы

и на своем выходе Y_3 формирует последовательность **1011** (на рис.1.7а показано **синим** цветом).

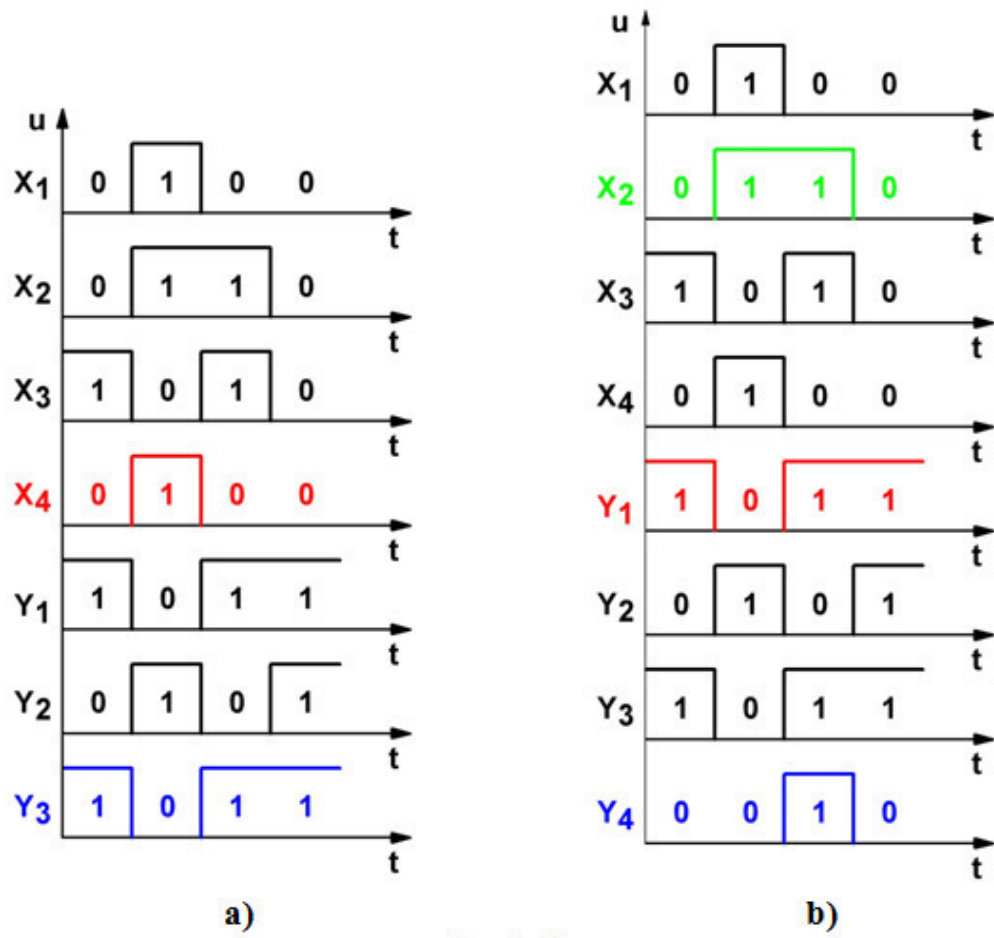


Рис.1.7

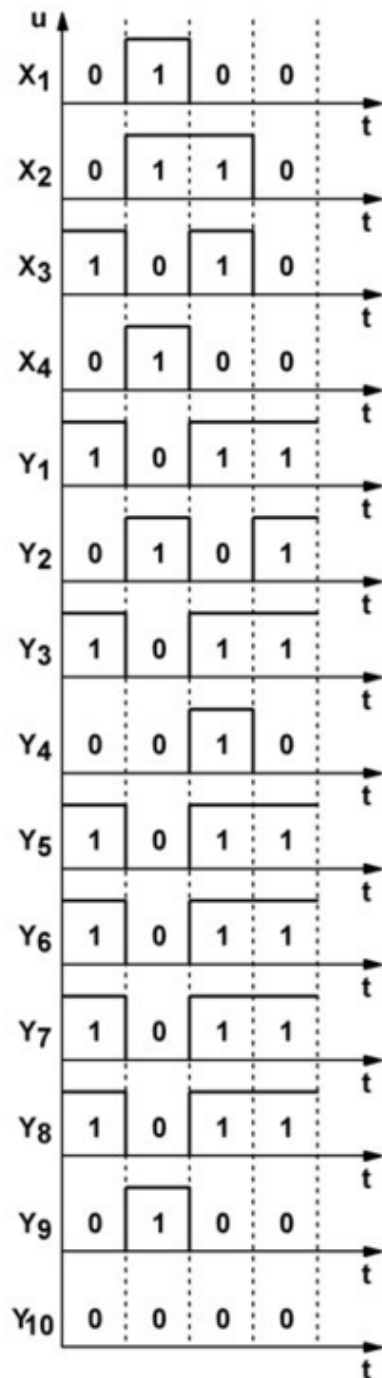


Рис.1.8

г) Определим, как меняются сигналы на выходе элемента 4 (рис.1.9). На входы этого элемента приходят два сигнала: один поступает с выхода Y_1 элемента 1 (изменение этого сигнала показано **красным** цветом на рис.1.9), другой - со входа X_2 (изменение этого сигнала показано **зеленым** цветом на рис.1.9). Элемент 4 - это элемент 2И, который выполняет умножение данных двух сигналов и на своем выходе Y_4 формирует последовательность 0010 (на рис.1.9 показано **синим** цветом).

Аналогично определяем последовательность изменения сигналов на выходах всех остальных элементов. В результате получаем временную диаграмму рис.10.

Познакомимся с основными требованиями "восточного" стандарта, которые нужно соблюдать при построении схем ЦУ на логических элементах.

Изображение любого элемента должно представлять собой прямоугольник. Его размеры зависят от количества входов и выходов (см. пункты 2 и 3).

1. Расстояние «а» между двумя соседними выводами любых элементов (рис.1.9) должно быть кратным 5 мм (реально — ровно 5 мм) и одинаковым у всех элементов данной схемы.

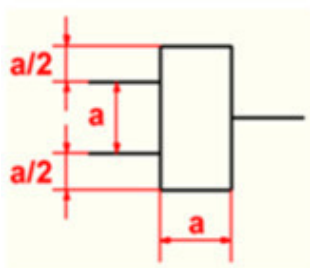


Рис.1.9

2. Расстояние между последним выводом и краем элемента (рис.1.9) должно составлять величину " $a/2$ " или кратное ей (практически именно " $a/2$ ", то есть *реально* – 2,5 мм).

3. Ширина элемента зависит от количества знаков внутреннего обозначения и должна быть кратной **5** мм (в логических элементах практически именно **5** мм).

4. Расстояние между любыми другими линиями в схеме должно быть не менее **3** мм.

1.3. Интегральные микросхемы (ИМС). Маркировка ИМС

Логические элементы выпускаются в виде *интегральных микросхем* (ИМС или просто ИС). ИМС называют схемой, компоненты которой нераздельно связаны и электрически соединены между собой так, что все устройство рассматривается как единое целое. Функциональную сложность любой ИМС принято характеризовать *степенью интеграции* – количеством компонентов **N** в микросхеме. По степени интеграции различают:

- ИМС малой степени интеграции: менее 100;
- ИМС средней степени интеграции: $N = 100 \div 1000$;
- БИС (большие интегральные схемы): $N = 1000 \div 10000$;
- СБИС (сверхБИС): $N = 10000 \div 10^6$ (миллион);
- УБИС (ультраБИС): $N = 10^6 \div 10^9$ (миллиард);
- ГБИС (гигаБИС): более 10^9 .

В данной книге рассматриваются в основном элементы цифровой техники и ЦУ, выпускаемые преимущественно в виде ИМС средней степени интеграции и БИС.

Внимание! *Следует всегда иметь в виду, что элементы цифровой техники и различные цифровые устройства выпускаются как в виде отдельных микросхем средней степени интеграции и БИС, так и входят составными частями в микросхемы БИС, СБИС, УБИС и ГБИС многофункциональных ЦУ. Например: в АЛУ, интерфейсы, микропроцессоры и другие специализированные микросхемы отдельных отраслей техники, которые изучаются как в данном предмете, так и в соответствующих специальных курсах. Но в любом случае принцип их работы, структура и назначение выводов остаются одинаковыми!*

Рассмотрим структуру *маркировки* ИМС российского производства (в других странах каждая фирма, выпускающая микросхемы, применяет свою систему условных обозначений; смотрите, например, Приложение 2 или [Л9, Л16]).

Например, ИМС имеет нанесенную на корпусе маркировку: **КР1533ЛИ2**. Структуру такой маркировки можно условно разделить на 4 части:

КР – одна или две буквы (их может и не быть). Здесь буква **К** при ее наличии показывает, что данная ИМС выпускается для *широкого применения*. Если есть другая буква, то она указывает *материал и тип корпуса* или его отсутствие. Наиболее часто в цифровой технике встречаются: **М** – керамический микрокорпус; **Р** – пластмассовый корпус типа 2.

1533 – три или четыре цифры *номера серии*, по которому можно судить о *структуре* ИМС (смотрите тему 1.4). Кроме этого, первая цифра номера серии показывает *конструктивно-технологическое исполнение* ИМС: **1,5,7** – полупроводниковые (7 – бескорпусные); **3** – прочие (пленочные, керамические и т.д.); **2,4,6,8** – гибридные, где отдельные компоненты изготовлены по разной технологии.

Цифровые ИМС в основном выполнены по полупроводниковой технологии, поэтому имеют первую цифру номера серии **1** или **5**.

Примечание. Вопросы, посвященные конструктивно-технологическому исполнению ИМС, типам и материалам их корпусов освещаются в предмете «Учебная электромонтажная практика». При желании этот же материал можно найти практически в любом справочнике по ИМС.

ЛИ – две буквы, указывающие *функциональное назначение* ИМС. Для микросхем, содержащих различные логические элементы, эти буквы приведены в теме 1.5. После окончания изучения предмета все учащиеся должны будут знать данную часть маркировки ИМС для основной группы ЦУ.

2 – одна-три цифры *порядкового номера* ИМС в данной серии по функциональному признаку.

В конце маркировки иногда добавляется еще одна буква *разброса параметров* (численные значения разброса конкретных параметров определяются по справочнику) у двух или более одинаковых микросхем данной серии.

1.4. Структура ИМС

Работающие в настоящее время ИМС цифровой техники по принципу построения могут иметь следующую структуру на кремниевой основе:

– **ТТЛ** (транзисторно-транзисторная логика). Здесь используются обычные биполярные транзисторы, включенные по наиболее распространенной схеме с общим эмиттером (ОЭ). Такую структуру имеют, например, ИМС серий 133, 155.

– **ТТЛШ** (ТТЛ с диодами Шоттки). Применение здесь диодов Шоттки, включенных между коллектором и базой транзисторов, не позволяет транзисторам входить в режим насыщения. Это приводит к ускорению переключения транзисторов и, следовательно, к повышению быстродействия ИМС. Микросхемы ТТЛШ-структуры условно делятся на две группы: а) маломощные (например, ИМС серий 533, 555, 1533); б) быстродействующие (например, ИМС серий 530, 531, 1531).

– **ЭСЛ** (эмиттерно-связанная логика). Здесь также используются обычные биполярные транзисторы, но они включены по другой схеме в отличие от ИМС структур ТТЛ и ТТЛШ. В микросхемах ЭСЛ-структуры используется принцип переключения токов в транзисторах, работающих на общую эмиттерную нагрузку (отсюда и название структуры). Другими словами, здесь базовым элементом является дифференциальный усилитель. Такую структуру имеют, например, ИМС серий 500, 1500, 1590.

– **МОП** (металл-окисел-полупроводник) или **МДП** (металл-диэлектрик-полупроводник). Это схемы на полевых транзисторах **p** или **n**-типов с обогащенным каналом, **КМОП** (комплементарные МОП) -схемы на дополняющих транзисторах. Например, ИМС серий 561, 564, 1554, 1561, 1564, 5514, 5564, 5584.

Кроме этого, существуют микросхемы на основе арсенида галлия GaAs, выполненные на полевых транзисторах с затвором Шоттки. Например, ИМС серии 6500.

1.5. ИМС логических элементов

Примечание: Аналоги приведенных ниже микросхем производства в основном американской фирмы «Texas Instruments» приведены в Приложении 3.

У микросхем логических элементов третья часть маркировки начинается с буквы **Л**, а вторая буква показывает, какие конкретно логические элементы содержит данная ИМС:

ЛН – элементы **НЕ**. Например, микросхема КР1533ЛН1 (рис.1.10), содержащая 6 элементов **НЕ**.

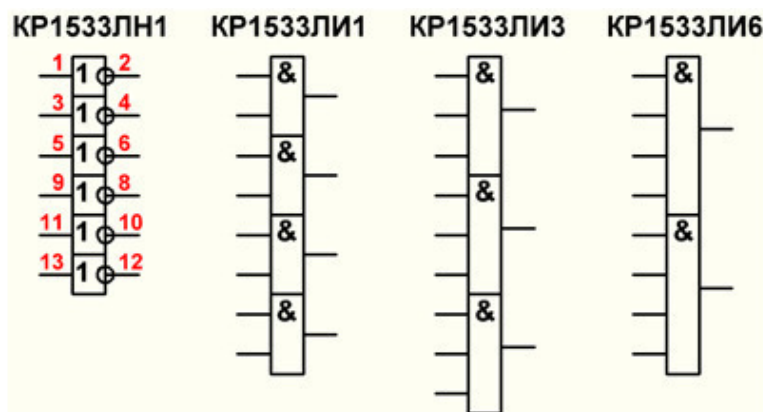


Рис.1.10

Красным цветом здесь показана нумерация выводов корпуса микросхемы (смотрите окончание данного параграфа), но далее мы это показывать не будем, чтобы не загромождать рисунки. При необходимости следует обратиться к Приложению 1 данной книги или к соответствующей справочной литературе.

ЛИ – элементы **И**. Например, микросхемы: КР1533ЛИ1 (рис.1.10), содержащая 4 элемента **2И**; КР1533ЛИ3 (рис.1.10), содержащая 3 элемента **3И**; КР1533ЛИ6 (рис.1.10), содержащая 2 элемента **4И**.

ЛЛ – элементы **ИЛИ**. Например, микросхема КР1533ЛЛ1 (рис. 1.11), содержащая 4 элемента **2ИЛИ**.

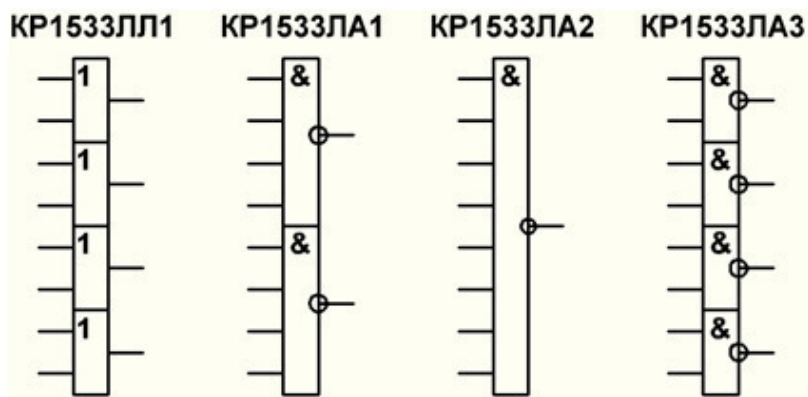


Рис.1.11

ЛА – элементы **И-НЕ**. Например, микросхемы: КР1533ЛА1 (рис.1.11), содержащая 2 элемента **4И-НЕ**; КР1533ЛА2 (рис.1.11), содержащая 1 элемент **8И-НЕ**; КР1533ЛА3 (рис.1.11), содержащая 4 элемента **2И-НЕ**; КР1533ЛА4 (рис.1.12), содержащая 3 элемента **3И-НЕ**.

ЛЕ – элементы **ИЛИ-НЕ**. Например, микросхемы: КР1533ЛЕ1 (рис.1.12), содержащая 4 элемента **2ИЛИ-НЕ**; КР1533ЛЕ4 (рис.1.12), содержащая 3 элемента **3ИЛИ-НЕ**; КР531ЛЕ7 (рис.1.12), содержащая 2 элемента **5ИЛИ-НЕ**.

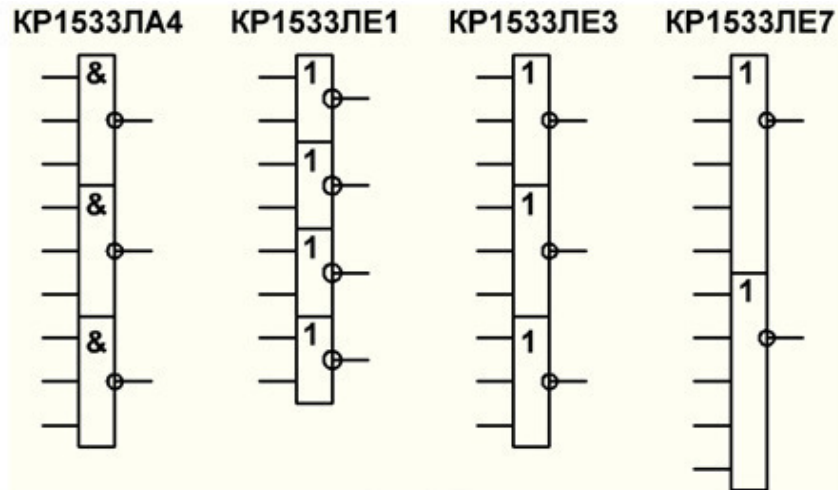


Рис.1.12

ЛР, ЛБ – комбинированные ИМС, содержащие разные логические элементы, причем обычно внутри микросхемы уже выполнены соединения между этими элементами. Например, микросхема КР1533ЛР4 (рис.1.13). Она содержит два элемента **4И** и один элемент **2ИЛИ-НЕ**, причем выходы элементов **4И** внутри микросхемы уже соединены со входами элемента **2ИЛИ-НЕ**.

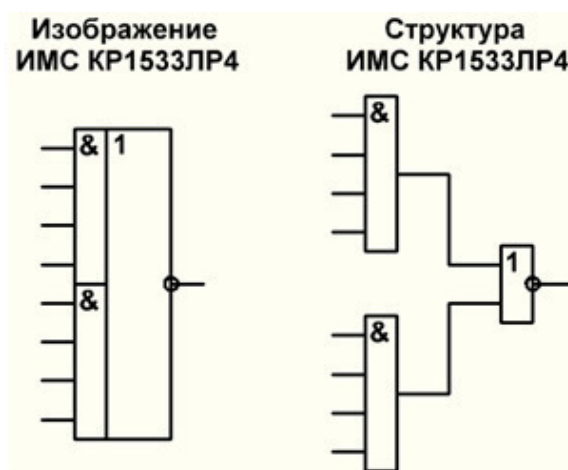


Рис.1.13

ЛП – прочие. Содержат логические элементы, не включенные в табл.1.1. Например, микросхема КР1533ЛП5 (рис.1.14) содержит элементы, выполняющие логическую операцию

«**исключающее ИЛИ**» (в случае двух аргументов ее еще называют «неравнозначностью» или «суммой по модулю 2»), смотрите табл.1.4.

КР1533ЛП5

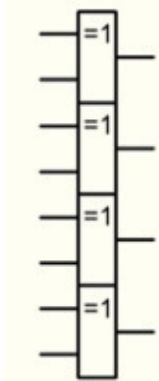


Табл.1.4

X ₁	X ₂	Y
0	0	0
0	1	1
1	0	1
1	1	0

Символическая запись этой операции:

$$Y = X_1 \oplus X_2 = X_1 \odot X_2$$

Рис.1.14

У данного элемента есть одна интересная особенность (следите по табл. 1.4): при наличии постоянного сигнала **0** на одном входе сигнал с другого входа «проходит» на выход в прямом виде; а при наличии на одном входе постоянного сигнала **1** элемент инвертирует сигнал, поступающий на другой вход. Указанная особенность используется, в частности, в схеме исправления ошибок при передаче информации с помощью корректирующего кода Хэмминга (см. тему 3.24).

Рассмотренные микросхемы относятся к ИМС со средней степенью интеграции, которые имеют двухрядное расположение выводов (рис.1.15). БИС, СБИС и ГБИС обычно имеют 4-рядное расположение выводов (рис.1.16).

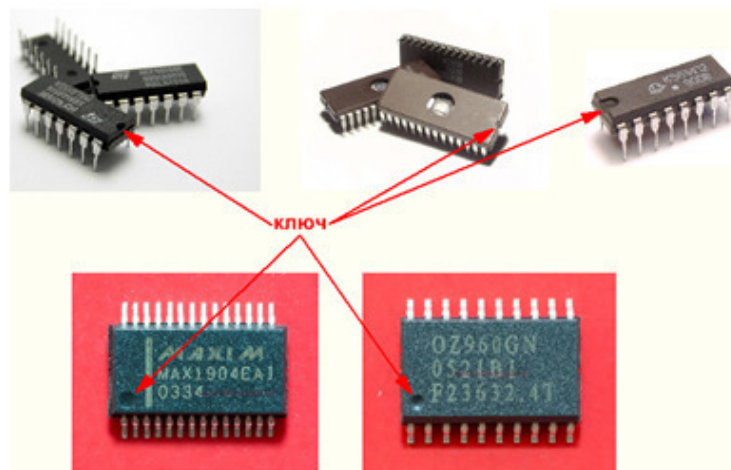


Рис.1.15

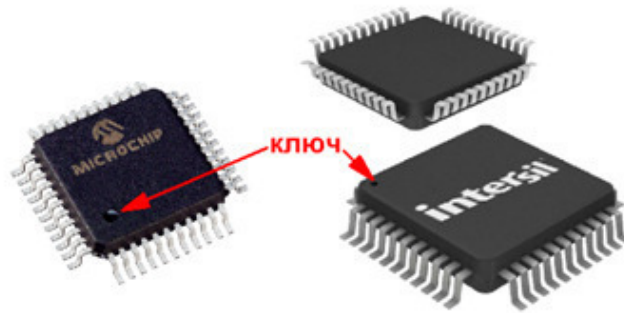


Рис.1.16

Нумерация этих выводов производится от «ключа» (рис.1.15 и 1.16) против часовой стрелки (рис.1.17а).

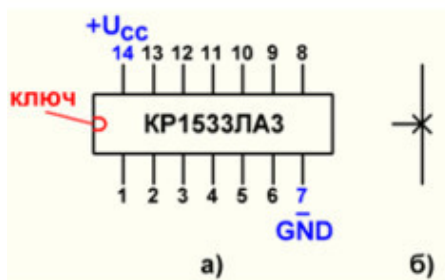


Рис.1.17

В большинстве микросхем средней степени интеграции серии КР1533 и многих других, для питания которых требуется лишь одно напряжение, оно подключается к одним и тем же выводам: последнему (+) и противоположному по диагонали (-), которые на рис.1.17а обозначены синим цветом. Но для гарантии все-таки следует обратиться к справочнику.

Не логические выводы часто снабжаются крестиками (рис.1.17б). К ним, в частности, относятся выводы для питания, которые обозначаются: положительный $+U_{CC}$, отрицательный $-GND$ (общий провод, от слова *ground* – заземление), но они на рисунках ИМС изображаются довольно редко.

1.6. Основные параметры, характеризующие работу ИМС

Познакомимся с основными параметрами ИМС, которые имеют значение при эксплуатации, ремонте и наладке цифровой аппаратуры.

U_{CC} – напряжение питания. Для ИМС серии КР1533 и некоторых других оно составляет $5\text{ В} \pm 10\%$.

U_L (L – low – низкий) – напряжение низкого уровня (уровня логического 0) на входе U_{IL} (I – input – вход) и на выходе U_{OL} (O – output – выход). Для ИМС серии КР1533 нормой является: U_{IL} – не более $0,8\text{ В}$; U_{OL} – не более $0,5\text{ В}$.

U_H (H – high – высокий) – напряжение высокого уровня (уровня логической 1) на входе U_{IH} и на выходе U_{OH} . Для ИМС серии КР1533 нормой является: U_{IH} – не менее $2,0\text{ В}$; U_{OH} – не менее $2,7\text{ В}$.

I_L – ток низкого уровня на входе I_{IL} и на выходе I_{OL} . Для ИМС серии КР1533 нормой является $I_{IL} = -200\text{ мкА}$; $I_{OL} = 8\text{ мА}$.

I_H – ток высокого уровня на входе I_{IH} и на выходе I_{OH} . Для ИМС серии КР1533 нормой является $I_{IH} = 20\text{ мкА}$; $I_{OH} = -0,4\text{ мА}$.

P_B – потребляемая (рассеиваемая) мощность на один вентиль (логический элемент НЕ): $P_B = (P_L + P_H)/2$, где P_L и P_H – потребляемая мощность при наличии на выходе элемента соответственно низкого уровня логического 0 и высокого уровня логической 1. В статическом режиме для ИМС серии КР1533 нормой является $P_B = 1,2\text{ мВт}$.

Следует иметь в виду, что для микросхем на биполярных транзисторах величины P_L и P_H отличаются довольно существенно, причем меньшей величиной является P_H . Микросхемы на полевых транзисторах потребляют настолько малую мощность, что для них разницу между P_L и P_H практически можно не учитывать.

В динамическом режиме потребляемая микросхемой мощность возрастает, увеличиваясь с ростом частоты.

t_p – время задержки распространения сигнала. Данная величина представляет собой промежуток времени между изменением сигнала на входе и соответствующим изменением сигнала на выходе. t_p является динамической характеристикой работы ИМС, по ней обычно судят о быстродействии микросхем. Очевидно, что при уменьшении t_p быстродействие возрастает.

Различают время задержки распространения сигнала при включении t_{pHL} (когда сигнал на выходе элемента меняется с 1 до 0) и при выключении t_{pLH} (когда сигнал на выходе элемента меняется с 0 до 1). Эти величины для элемента НЕ показаны на рис.1.18.

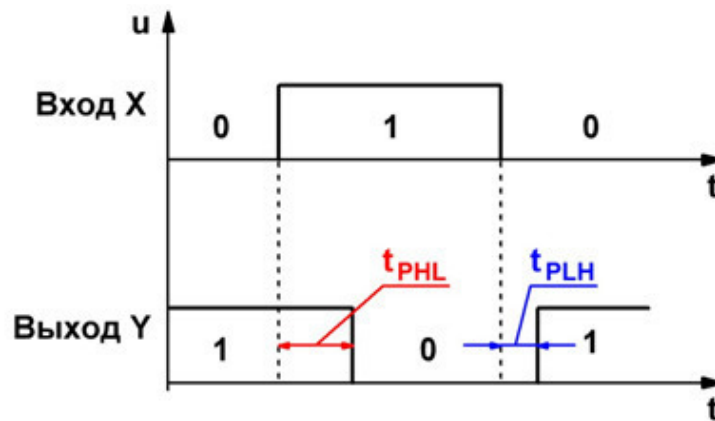


Рис.1.18

В качестве примера приведем значения t_{PHL} и t_{PLH} для микросхемы КР1533ЛН1: t_{PHL} – не более **11 нс**; t_{PLH} – не более **8 нс**.

K_H — **нагрузочная способность** или **коэффициент разветвления по выходу**. Показывает, какое максимально допустимое количество элементов можно подключить к выходу каждого элемента данной микросхемы. Например, на рис.1.3 к выходу 3-го элемента присоединены три других элемента – 7-й, 8-й и 9-й. Допустимо ли это, вы можете сказать сами: обычные микросхемы ТТЛШ-структуры имеют **$K_H = 10$** .

U_{Π} – **помехоустойчивость**, которая оценивается в статическом и динамическом режимах. Статическая помехоустойчивость определяется максимально допустимой величиной повышения (относительно уровня 0) или понижения (относительно уровня 1) напряжения на входах, которое еще не приводит к изменению сигнала на выходе. Для микросхем серии КР1533 нормой является **$U_{\Pi} = 0,4В$** . Динамическая помехоустойчивость зависит от формы и амплитуды сигнала помехи, а также от скорости переключения микросхемы (быстродействия) и ее статической помехоустойчивости.

N – **надежность**. Ее обычно характеризуют максимально допустимым количеством отказов за единицу времени. Для микросхем серии КР1533 нормой является **$N = 10^{-6}$** отказов в час.

1.7. Сравнительная характеристика ИМС различных структур

Основными параметрами, позволяющими производить сравнение по качеству микросхем различных структур и серий, являются статическая потребляемая мощность и среднее время задержки распространения сигнала в пересчете на один вентиль. Для наглядности типовые значения P_B и t_p приведены на графике (рис.1.19).

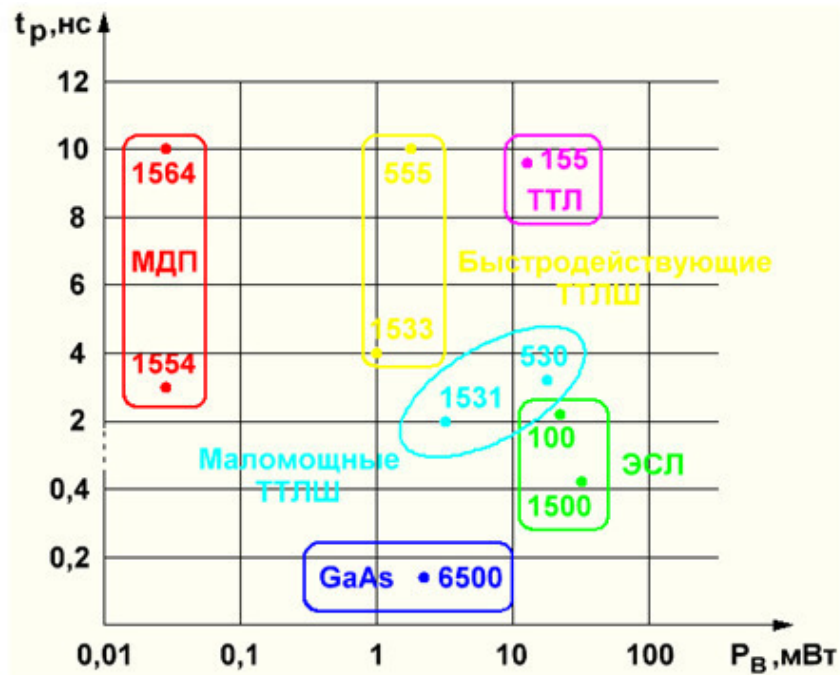


Рис.1.19

Из этого графика видно, что наихудшими параметрами характеризуются микросхемы ТТЛ-структуры. Поэтому в настоящее время интенсивно идет процесс их вытеснения микросхемами других структур. Однако следует иметь в виду, что в ныне функционирующей аппаратуре микросхемы ТТЛ-структуры (особенно ИМС серии 155) распространены очень широко и будут работать еще очень долго. Первым разработчиком ИМС по технологии ТТЛ является фирма «Texas Instruments», которая выпустила ИМС серии SN74 (аналог – серия 155).

Применение диодов Шоттки и усовершенствование технологии позволило уменьшить потребляемую мощность и увеличить быстродействие в микросхемах ТТЛШ-структуры по сравнению с ИМС структуры ТТЛ.

Наименьшую потребляемую мощность при сравнимом с ИМС других структур быстродействии имеют микросхемы **МОП-структуры**, построенные на полевых транзисторах. Но наряду с указанным очевидным преимуществом они имеют и недостатки: чувствительность к статическому электричеству, значительный разброс всех параметров, повышенное выходное сопротивление (до 1 кОм). Разработка первых микросхем МОП серии CD4000 (аналог – серия 561) была выполнена фирмой «RCA».

Наивысшее быстродействие достигается в микросхемах **ЭСЛ-структуры**, т.к. здесь транзисторы работают в ненасыщенном (линейном) режиме. Но большая потребляемая мощность и низкая помехоустойчивость не позволяют применять их достаточно широко. ИМС

структуры ЭСЛ используются в тех случаях, когда предъявляются повышенные требования к быстродействию (например, в запоминающих устройствах). Первым разработчиком ИМС по технологии ЭСЛ была фирма «Motorola», которая выпустила серию МС10000 (аналог – серия 500).

Приведенный анализ подтверждает следующее: в настоящее время *наибольшее распространение* имеют ИМС структур *ТТЛШ и МОП*.

Сверхвысокое быстродействие при сравнимой с другими структурами потребляемой мощности достигается в микросхемах на основе арсенида галлия, но сравнительно высокая стоимость, недостаточно разработанная технология и некоторые другие недостатки пока не позволяют применять данные микросхемы в широких промышленных масштабах.

1.8. Элементы с открытым коллекторным выходом

Некоторые микросхемы структуры ТТЛ и ТТЛШ имеют *открытые коллекторные выходы (ОК)*, у них нет резистора коллекторной нагрузки в выходном транзисторе. Для формирования выходного перепада напряжения (чтобы имелась возможность установки на выходе и уровня логического 0, и уровня логической 1) к выходу элемента с ОК требуется подключить нагрузочное сопротивление, поэтому такие микросхемы применяются для обслуживания устройств, которые и будут представлять собой для ИМС коллекторную нагрузку. К ним относятся индикаторы, сигнальные лампы, светодиоды, коаксиальные кабели и т. д. В условном изображении таких микросхем ставится знак, показанный на рис.1.20 внутри элементов 2И.

Примерами ИМС с ОК, содержащими логические элементы, являются: КР1533ЛН2, КР1533ЛИ2, КР1533ЛИ4, КР1533ЛА7, КР1533ЛА9, КР1533ЛА10, КР1533ЛП12, которые имеют структуру, аналогичную соответственно микросхемам КР1533ЛН1 (рис.1.10), КР1533ЛИ1 (рис.1.10), КР1533ЛИ3 (рис.1.10), КР1533ЛА1 (рис.1.11), КР1533ЛА3 (рис.1.11), КР1533ЛА4 (рис.1.12), КР1533ЛП5 (рис.1.14).

Выходы нескольких элементов с ОК можно присоединять к общей нагрузке R_H (смотрите рис.1.20).

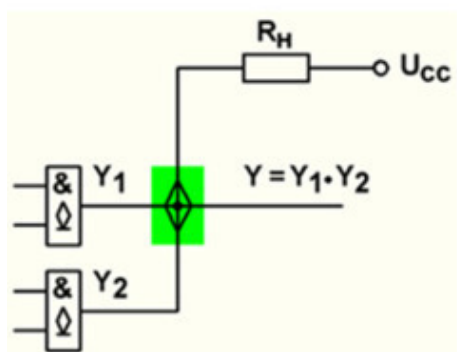


Рис.1.20

Действительно, в точке "Y" объединения сигналов Y_1 и Y_2 напряжение высокого уровня (сигнал логической 1) появится только при $Y_1 = 1$, $Y_2 = 1$ и открытых коллекторных выходах обоих элементов. "Монтажное И" используют не часто в силу их худших частотных свойств по сравнению с логическим И, однако достаточно широко применяют в БИС памяти и для построения двунаправленных числовых шин (магистралей).

Такое соединение, позволяет реализовать логическую функцию И, поэтому называется «монтажным И» и изображается так, как показано в зеленом прямоугольнике на рис.1.20.

1.9. Буферные элементы

Некоторые элементы кроме логических операций выполняют еще и другие функции. Такие элементы обычно называют *буферными*. Применяются они в основном для двух целей:

1. *Для подключения большого количества элементов*, число которых превышает K_n обычных микросхем. У них повышенный коэффициент разветвления, достигающий, например, в микросхемах серии 1533 величины $K_n = 30$. В изображении таких ИМС ставится знак, показанный на рис.1.21 внутри элементов. К ним относятся КР1533ЛН8, КР1533ЛИ8, КР1533ЛИ10, КР1533ЛЛ4, КР1533ЛА21, КР1533ЛА22, КР1533ЛА24, КР1533ЛЕ10, которые имеют структуру, аналогичную соответственно микросхемам КР1533ЛН1 (рис.1.10), КР1533ЛИ1 (рис.1.10), КР1533ЛИ3 (рис.1.10), КР1533ЛЛ1 (рис.1.11), КР1533ЛА3 (рис.1.11), КР1533ЛА1 (рис.1.11), КР1533ЛА4 (рис.1.12), КР1533ЛЕ1 (рис.1.12).

Некоторые микросхемы с повышенной нагрузочной способностью могут иметь еще и открытые коллекторные выходы. Например, ИМС КР1533ЛН10, КР1533ЛА23, КР1533ЛЕ11, КР1533ЛП17, которые имеют структуру, аналогичную соответственно микросхемам КР1533ЛН1 (рис.1.10), КР1533ЛА3 (рис.1.11), КР1533ЛЕ1 (рис.1.12), КР1533ЛП16 (рис.1.21).

КР1533ЛП16

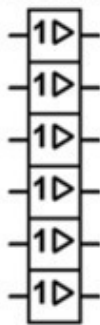


Рис.1.21

Интересно, что буферные элементы с повышенной нагрузочной способностью могут вообще не выполнять логических операций (точнее, считается, что они выполняют логическую функцию $Y = X$; т.е. сигнал на выходе повторяет сигнал на входе) и ставятся *только* для увеличения количества подключаемых элементов. Такие элементы называются повторителями. В качестве примера можно привести микросхему КР1533ЛП16 (рис.1.21).

2. *Разъединение между собой отдельных узлов цифровой аппаратуры* для исключения их взаимного влияния в некоторых режимах работы. Такие элементы в отличие от других имеют три состояния: в одном состоянии на выходе устанавливается уровень логической **1**; в другом состоянии – уровень логического **0**; а в третьем (так называемое *Z-состояние* или высокоомное состояние или состояние с высоким импедансом) выходы элемента вообще размыкаются, отключая присоединенные к ним ЦУ. Если в последнем случае измерить сопротивление элемента со стороны выходов, то оно окажется практически бесконечно большим, поэтому данное состояние и называют высокоомным. Условное изображение подобных ИМС содержит знак, показанный на рис.1.22 внутри элементов.

Для примера можно привести микросхему КР1533ЛП8 (рис.1.22).

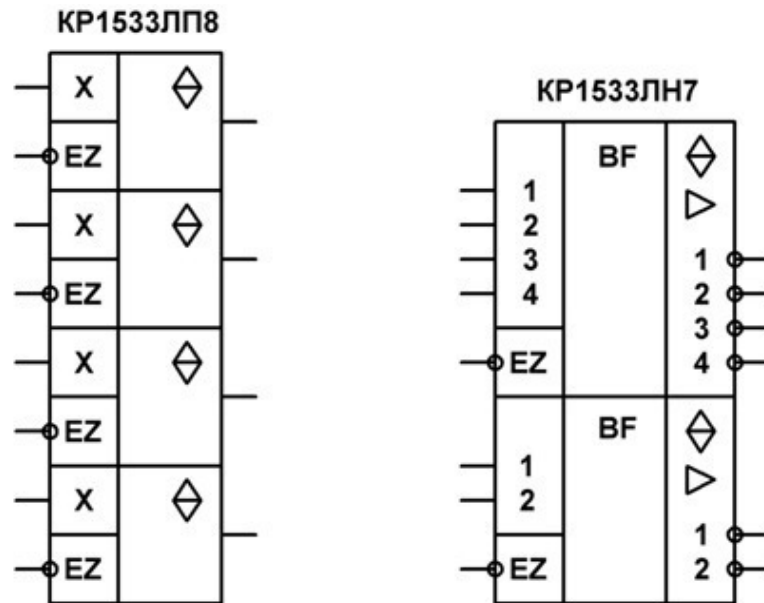


Рис.1.22

Она содержит 4 буферных повторителя, каждый из которых имеет *управляющий состояниями вход EZ* (E – enable – давать возможность, *разрешать*). При установке логического 0 на входе EZ элементу *разрешается* работать в качестве обычного повторителя, а если на этот вход подать сигнал 1, то элемент переходит в Z-состояние и его выход размыкается (состояние разомкнутого выхода принято обозначать: Z или Roff). Управляющий состояниями вход иногда называют *разрешением по выходу* и обозначают EO (E – enable, O – output).

В некоторых случаях вход EZ делается общим для нескольких элементов. Например, в микросхеме КР1533ЛН7 (рис.1.22) содержится шесть буферных элементов НЕ с тремя состояниями выходов и повышенной нагрузочной способностью, разделенных на две группы по 4 и 2 элемента. Каждая группа элементов имеет свой управляющий состояниями вход EZ. Подача сигнала 1 на такой вход переводит в Z-состояние сразу все элементы соответствующей группы.

Подобные микросхемы, содержащие объединенные в группы элементы НЕ или повторители с тремя состояниями, которые имеют еще и повышенную нагрузочную способность, называют *шинными формирователями* или *магистральными приемопередатчиками*.

Примечание. Часть линий, сгруппированных по функциональному назначению, называется *шиной*. Например, информационная шина, по всем линиям которой передается информация; шина управления, по линиям которой передаются сигналы управления; и т. д. Совокупность шин называется *магистралью*.

У таких ИМС в третьей части маркировки обычно ставят буквы АП, хотя иногда используется маркировка ЛП или ЛН (как, например, в только что рассмотренной микросхеме). Условное графическое изображение формирователей имеет, как правило, буквы BF (от английского *buffer* – буфер). Применяются они обычно в микропроцессорных системах и системах обработки данных с магистральной организацией обмена информацией.

Можно привести еще один пример шинного формирователя: КР1533АП4 (рис.1.23). Данная ИМС содержит два четырехразрядных магистральных передатчика, каждый из которых имеет по четыре буферных повторителя с тремя состояниями и повышенным коэффициентом разветвления.

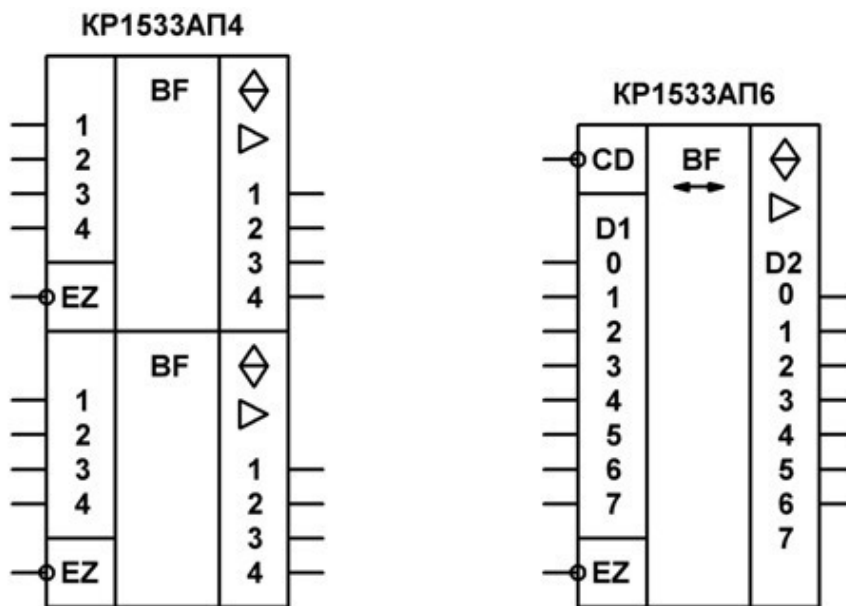


Рис.1.23

Некоторые формирователи могут передавать информацию в обоих направлениях. Например, восьмиразрядный двунаправленный приемопередатчик КР1533АП6 (рис.1.23) содержит **8** буферных повторителей с тремя состояниями и повышенной нагрузочной способностью, у которых изменение направления передачи информации производится с помощью сигнала на дополнительном входе **CD**: при **CD = 1** передача информации производится от **D1** к **D2**, при **CD = 0** – наоборот.

***1.10. Мажоритарные элементы

Мажоритарный (от английского *majority* – большинство) элемент формирует на своем выходе такой сигнал, который действует на большинстве его входов.

В качестве примера можно рассмотреть микросхему КР1533ЛПЗ (рис.1.24). Она содержит три мажоритарных элемента «два из трех» (т.е. на выходе формируется такой сигнал, который действует не менее чем на двух входах из трех), работа каждого из них описывается таблицей истинности (табл.1.5).

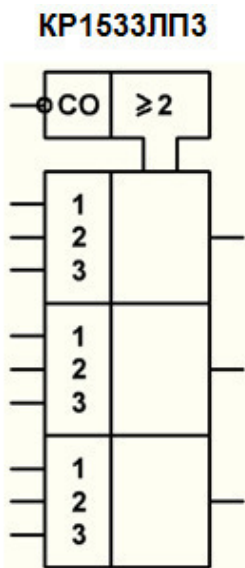


Рис.1.24

Табл.1.5

Входы			Выход
1	2	3	
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

ИМС имеет общий для трех элементов управляющий вход **СО**, на котором для нормальной работы должен поддерживаться уровень логического **0**. При **СО = 1** значение выходного сигнала определяется только сигналом на входе **3**.¹

¹ ***Темы, отмеченные звездочками, не были включены в программу предмета ко времени работы над книгой из-за недостатка времени по учебным планам. Они здесь даются для расширения и углубления знаний тех учащихся, которым это интересно, а также для помощи при выполнении курсовых работ и дипломных проектов.

1.11. Преобразователи уровней

При использовании в аппаратуре микросхем различной структуры возникает необходимость их согласования по таким важнейшим параметрам, как уровни сигналов и потребляемая мощность.

Эту задачу решают специальные ИМС, которые получили название: *преобразователи уровней* логических сигналов.

Микросхемы любых преобразователей в третьей группе маркировки имеют первую букву **П**, а вторая буква указывает на конкретный вид преобразователя. Для ИМС преобразователей уровней принято обозначение: **ПУ**.

Для примера рассмотрим микросхему К564ПУ9 (рис.1.25).

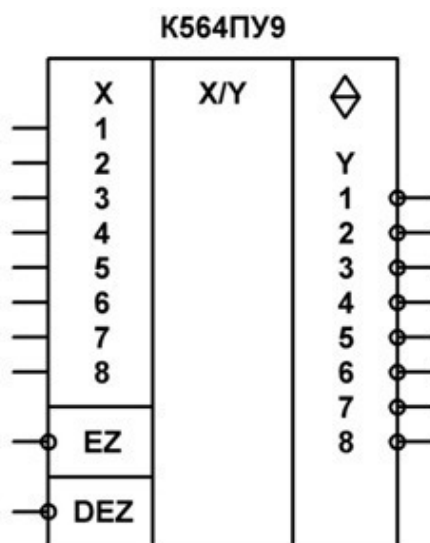


Рис.1.25

Она может выполнять одновременное преобразование **8** сигналов как от уровня ТТЛ (ТТЛШ) к МОП, так и от уровня МОП к ТТЛ (ТТЛШ). Входы **EZ** и **DEZ** предназначены для управления режимами работы:

- при подаче на вход **DEZ** сигнала **0** микросхема выполняет преобразование сигналов МОП уровня в ТТЛ (ТТЛШ) при любом сигнале на входе **EZ**;
- при одновременной установке сигналов **1** на входах **EZ** и **DEZ** микросхема выполняет преобразование сигналов ТТЛ (ТТЛШ) уровня в МОП;
- если же на входе **EZ** установить уровень логического **0**, а на вход **DEZ** подать **1**, то микросхема переходит в **Z**-состояние.

Следует учесть, что выходные сигналы инвертируются, т.к. на выходах стоит графический знак операции логического отрицания.

Примечание. В настоящее время выпускаются микросхемы МОП-структуры, прямо совместимые со стандартными сериями ТТЛ (ТТЛШ). Например, микросхемы серий 1564, КР1564, КР1594 (аналоги – соответственно серии ММ54НС, ММ74НС и 74АСТ фирмы «National Semiconductor»).

Раздел 2. Основы синтеза и анализа работы цифровых устройств

Целью тем, изложенных в разделе 2, является овладение учащимися основам синтеза (разработки структуры и построения схем) ЦУ с помощью логических элементов и анализа (проверки правильности) их работы.

2.1. Формы записи логических функций

Предположим, задана таблица истинности (табл.2.1 на рис.2.1), описывающая работу ЦУ, которое имеет три входа X_1, X_2, X_3 и один выход Y_1 .

Цель: с помощью логических элементов построить схему, которая будет работать так, как указано в этой таблице.

Первым этапом работы является запись зависимости выходной логической функции (значений сигнала на выходе) Y_1 от значений логических переменных X_1, X_2, X_3 (значений сигналов на входах) в базе **И, ИЛИ, НЕ** (т.е. с использованием операций логического умножения, сложения и отрицания). Такая запись может выполняться в двух формах:

1. СДНФ (совершенная *дизъюнктивная* нормальная форма) представляет собой несколько многочленов (минтермов), объединенных операцией логического сложения (дизъюнкции), почему форма и названа дизъюнктивной. Она *составляется для значений функции Y , равных 1*, количество которых и определяет число многочленов. Каждый многочлен представляет собой логическое умножение всех переменных (в данном случае – трех переменных X_1, X_2, X_3), причем для нулевого значения любой переменной следует брать ее инверсию.

Запишем СДНФ для заданной в табл.2.1 логической функции Y_1 на рис.2.1.

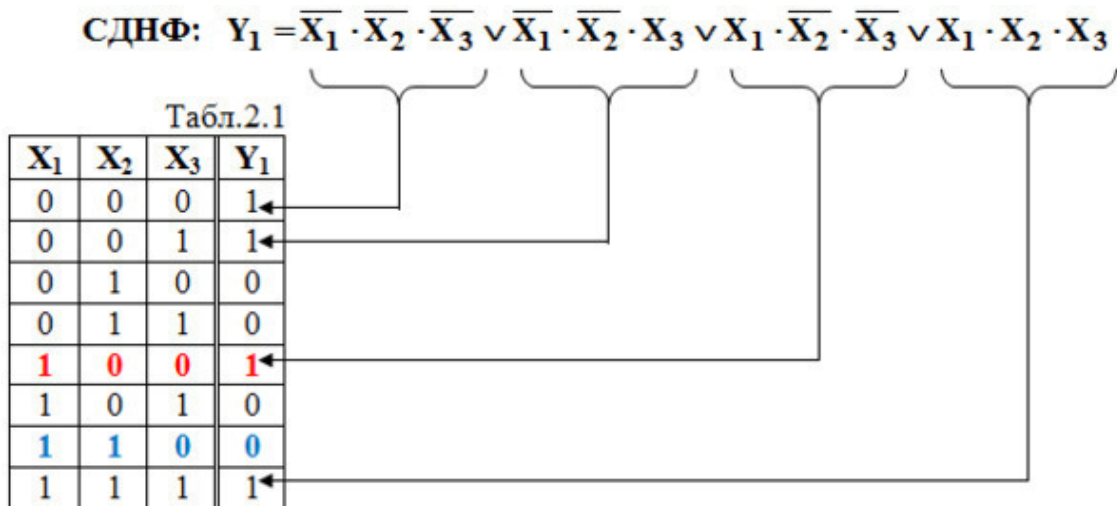


Рис.2.1

Приведем еще два примера составления СДНФ для логических функций Y_2 и Y_3 , заданных в табл.2.2 на рис.2.2.

Табл. 2.2

X ₁	X ₂	X ₃	Y ₂	Y ₃
0	0	0	1	1
0	0	1	0	0
0	1	0	1	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	0
1	1	0	0	1
1	1	1	1	0

$$Y_2 = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3} \vee \overline{X_1} \cdot X_2 \cdot \overline{X_3} \vee \overline{X_1} \cdot X_2 \cdot X_3$$

$$Y_3 = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3} \vee \overline{X_1} \cdot X_2 \cdot \overline{X_3} \vee \overline{X_1} \cdot X_2 \cdot X_3 \vee X_1 \cdot \overline{X_2} \cdot \overline{X_3} \vee X_1 \cdot X_2 \cdot \overline{X_3}$$

Рис.2.2

2. **СКНФ** (совершенная *конъюнктивная* нормальная форма) представляет собой несколько многочленов (минтермов), объединенных операцией логического умножения (конъюнкции), почему форма и названа конъюнктивной. Она *составляется для значений функции Y, равных 0*, количество которых и определяет число многочленов. Каждый многочлен представляет собой логическое сложение всех переменных (в данном случае – трех переменных X₁, X₂, X₃), причем для значения любой переменной X = 1 следует брать ее инверсию.

Запишем СКНФ для заданной в табл.2.1 логической функции Y₁ (на рис.2.3).

$$Y_1 = (X_1 \vee \overline{X_2} \vee X_3) \cdot (X_1 \vee \overline{X_2} \vee \overline{X_3}) \cdot (\overline{X_1} \vee X_2 \vee \overline{X_3}) \cdot (\overline{X_1} \vee \overline{X_2} \vee X_3)$$

Повторение табл.2.1

X ₁	X ₂	X ₃	Y ₁
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Рис.2.3

Примечание:

Символом операции НЕ (инвертирования) обычно является черточка над буквой, как показано в табл.1.1. Именно такой символ мы применяли при записи СДНФ для функций Y₁, Y₂, Y₃ и СКНФ для функции Y₁. Но довольно часто, особенно на рисунках карт Вейча (Карно) и в изображениях микросхем, используется другой символ инвертирования – апостроф рядом с буквой: Y = X'. Как уже упоминалось во **Введении**, при выполнении лабораторных работ, а также в демонстрационных материалах применяется компьютерная программа исследования работы элементов и устройств цифровой микроэлектроники **Electronics Workbench**, где для

изображения инверсных выводов как раз употребляется второй вариант символа инвертирования. Поэтому в дальнейшем для привыкания мы будем практиковать оба варианта символа инвертирования.

Приведем еще два примера записи СКНФ для функций Y_2 и Y_3 , заданных в табл.2.2, где будем использовать два варианта записи символа инвертирования (рис.2.4):

1. Для записи инвертирования применяем черточку над буквами:

$$Y_2 = (X_1 \vee X_2 \vee \overline{X_3}) \cdot (X_1 \vee \overline{X_2} \vee \overline{X_3}) \cdot (\overline{X_1} \vee X_2 \vee X_3) \cdot (\overline{X_1} \vee X_2 \vee \overline{X_3}) \cdot (\overline{X_1} \vee \overline{X_2} \vee \overline{X_3});$$

$$Y_3 = (X_1 \vee X_2 \vee \overline{X_3}) \cdot (\overline{X_1} \vee X_2 \vee \overline{X_3}) \cdot (\overline{X_1} \vee \overline{X_2} \vee \overline{X_3}).$$

2. Для записи инвертирования применяем апостроф:

$$Y_2 = (X_1 \vee X_2 \vee X_3') \cdot (X_1 \vee X_2' \vee X_3') \cdot (X_1' \vee X_2 \vee X_3) \cdot (X_1' \vee X_2 \vee X_3') \cdot (X_1' \vee X_2' \vee X_3');$$

$$Y_3 = (X_1 \vee X_2 \vee X_3') \cdot (X_1' \vee X_2 \vee X_3') \cdot (X_1' \vee X_2' \vee X_3').$$

Рис.2.4

В дальнейшем мы будем применять апостроф преимущественно в текстовом материале и формулах, а черточку над буквами – на рисунках.

2.2. Минимизация логических функций методом Вейча

Любая совершенная нормальная форма (СДНФ или СКНФ) содержит очень большое количество логических операций, поэтому схемная реализация ЦУ непосредственно по СДНФ (или по СКНФ) потребует соответствующего числа логических элементов, которые должны будут выполнять данные операции. Поэтому невольно напрашивается вопрос: а нельзя ли логические выражения вида СДНФ или СКНФ упростить, чтобы количество операций (и, соответственно, количество элементов в схеме ЦУ) стало меньше? Оказывается, что в подавляющем большинстве случаев это сделать можно!

Процесс упрощения логических выражений любой совершенной нормальной формы записи получил название: *минимизация* от латинского *minimum*. Существует несколько способов ручной минимизации, но практически наиболее простым и наглядным является *метод Вейча* (несколько модифицированный метод *Карно*), который мы и будем здесь рассматривать. Его единственным недостатком является невозможность применения для минимизации логических выражений, содержащих более чем 5 переменных; но т.к. это случается довольно редко, то с указанным недостатком вполне можно мириться.

Сущность данного метода заключается в применении так называемых карт (диаграмм) Вейча, которые представляют собой прямоугольники, разделенные на клетки (карты Карно несколько отличаются от карт Вейча, но суть метода та же; – смотрите окончание данного параграфа). Количество клеток в карте определяется числом наборов переменных (числом комбинаций входных сигналов) $N = 2^n$, где n – это количество переменных; причем каждой клетке строго соответствует свой набор переменных, определяемый по обычной координатной сетке.

Рассмотрим два наиболее часто встречающихся случая:

1. Для ЦУ с $n = 3$ входами максимальное число наборов переменных (смотрите таблицы 2.1 и 2.2 таких устройств) равно $2^n = 2^3 = 8$, следовательно и карта Вейча будет иметь 8 клеток (рис.2.5):

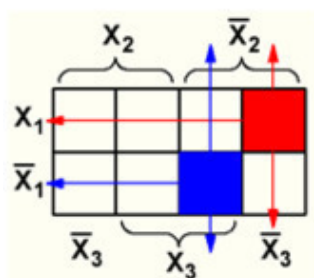


Рис.2.5

Набор переменных, соответствующий **красной** клетке на рис.2.5: $X_1 \bar{X}_2 \bar{X}_3$.

Набор переменных, соответствующий **синей** клетке на рис.2.5: $\bar{X}_1 \bar{X}_2 X_3$.

Аналогично определяется, какие наборы переменных соответствуют другим клеткам карты.

2. Для ЦУ, имеющего $n = 4$ входа, максимальное число наборов переменных равно $2^n = 2^4 = 16$, поэтому карта Вейча тоже будет иметь 16 клеток (рис.2.6).

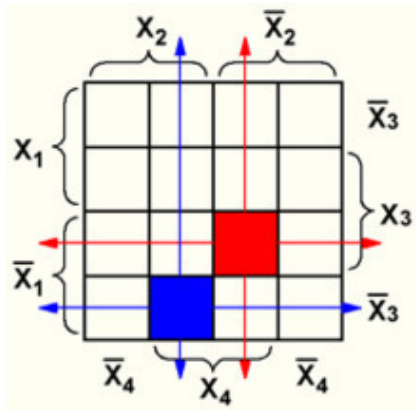


Рис.2.6

Набор переменных, соответствующий **красной** клетке на рис.2.6: $\bar{X}_1 \bar{X}_2 X_3 X_4$.

Набор переменных, соответствующий **синей** клетке на рис.2.6: $X_1 X_2 \bar{X}_3 \bar{X}_4$.

Главной особенностью любой карты Вейча является возможность объединения *соседних* клеток карты. Области объединения должны быть прямоугольными и содержать 2^n (2,4,8,16) клеток. Допускается сворачивать карту в цилиндр с объединением соседних граней; примерами такого объединения являются: область 1 на рис.2.7 и область 3 на рис.2.8. Не допускается включать в объединение пустые клетки.

Рассмотрим примеры объединения клеток.

1. В карте Вейча с **8 клетками** (рис.2.7).

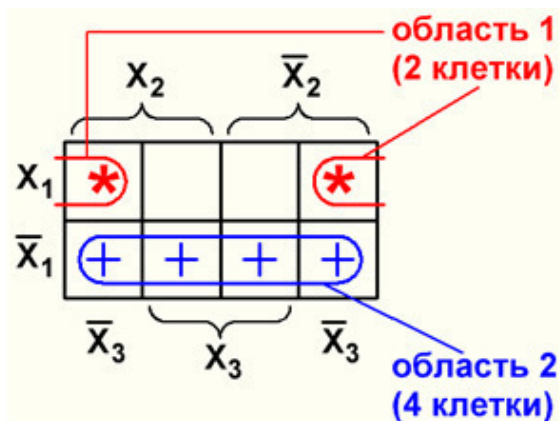


Рис.2.7

2. В карте Вейча с **16 клетками** (рис.2.8).

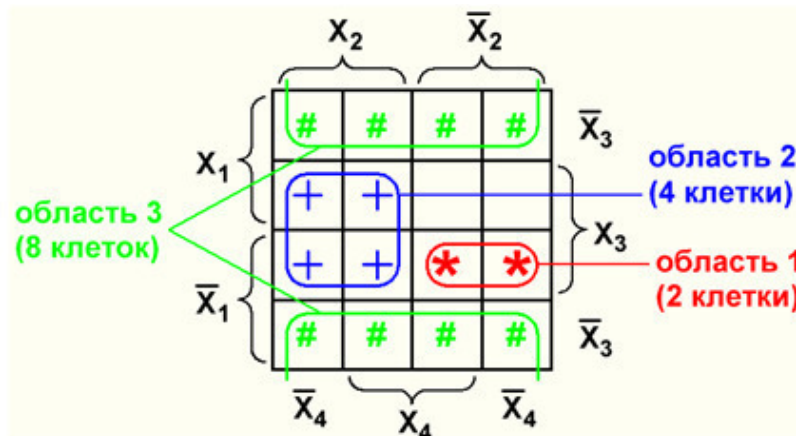


Рис.2.8

В каждой такой области объединения выполняется операция «склеивания», в результате которой остается только один многочлен только с теми переменными, которые входят во все объединенные клетки. А переменные типа X_1 и X_1' , X_2 и X_2' , X_3 и X_3' , X_4 и X_4' «сокращаются». Это можно объяснить на следующем примере: возьмем два многочлена СДНФ (аналогичный результат получается и с многочленами СКНФ), соответствующих двум клеткам **области 1** рис.2.7:

$$X_1 \cdot X_2 \cdot X_3' \vee X_1 \cdot X_2' \cdot X_3';$$

одинаковые переменные вынесем за скобки:

$$X_1 \cdot X_3 \cdot (X_2 \vee X_2');$$

легко проверить, что выражение в скобках при любых значениях X_2 (0 или 1) дает 1, тогда:

$$X_1 \cdot X_3 \cdot 1 = X_1 \cdot X_3.$$

Итак, в результате «склеивания» двух клеток области 1 рис.2.7 получается: $X_1 \cdot X_3$.

Посмотрим, что получится в результате "склеивания" 4 клеток **области 2** на рис.2.7.

Для этого выпишем многочлены, соответствующие всем этим четырем клеткам (рис.2.9).

Хорошо видно, что здесь сокращаются X_2 и \bar{X}_2 , X_3 и \bar{X}_3 , но зато остается имеющаяся во всех четырех клетках переменная \bar{X}_1 . Это и будет результатом «склеивания».

$$\left. \begin{array}{l} \bar{X}_1 X_2 \bar{X}_3 \\ \bar{X}_1 X_2 X_3 \\ \bar{X}_1 \bar{X}_2 \bar{X}_3 \\ \bar{X}_1 \bar{X}_2 X_3 \end{array} \right\} = \bar{X}_1$$

Рис.2.9

Приведем примеры (рис.2.10) «склеивания» клеток в карте Вейча на рис.2.4:

1. **Область 1**, объединяющая 2 клетки (рис.2.6):

$$\left. \begin{array}{l} \bar{X}_1 \bar{X}_2 X_3 \cancel{X_4} \\ \bar{X}_1 \bar{X}_2 X_3 \cancel{\bar{X}_4} \end{array} \right\} = \bar{X}_1 \bar{X}_2 X_3$$

2. **Область 2**, объединяющая 4 клетки:

$$\left. \begin{array}{l} \cancel{X_1} X_2 X_3 \cancel{\bar{X}_4} \\ \cancel{X_1} X_2 X_3 \cancel{X_4} \\ \cancel{\bar{X}_1} X_2 X_3 \cancel{\bar{X}_4} \\ \cancel{\bar{X}_1} X_2 X_3 \cancel{X_4} \end{array} \right\} = X_2 X_3$$

3. **Область 3**, объединяющая 8 клеток:

$$\left[\begin{array}{cc} \cancel{X_1} \cancel{X_2} \bar{X}_3 \cancel{\bar{X}_4} & \cancel{\bar{X}_1} \cancel{X_2} \bar{X}_3 \cancel{\bar{X}_4} \\ \cancel{X_1} X_2 \bar{X}_3 \cancel{X_4} & \cancel{\bar{X}_1} X_2 \bar{X}_3 \cancel{X_4} \\ \cancel{X_1} \cancel{\bar{X}_2} \bar{X}_3 \cancel{X_4} & \cancel{\bar{X}_1} \cancel{\bar{X}_2} \bar{X}_3 \cancel{X_4} \\ \cancel{X_1} X_2 \bar{X}_3 \cancel{\bar{X}_4} & \cancel{\bar{X}_1} X_2 \bar{X}_3 \cancel{\bar{X}_4} \end{array} \right] = \bar{X}_3$$

Рис.2.10

Очевидно, что при объединении *всех* клеток любой карты сокращаются *все* переменные, и результат «склеивания» дает 1.

Из сравнения полученных результатов можно сделать *вывод: чем больше объединяется клеток, тем проще получается результат «склеивания»*, т.е. итоговое логическое выражение содержит меньше операций, и, соответственно, схема ЦУ будет иметь меньше логических элементов.

Теперь приведем *порядок минимизации*:

– Чертим карту Вейча с нужным количеством клеток.

– Клетки карты, соответствующие минтермам СДНФ (или СКНФ) обозначаем символом «1».

– Объединяем все клетки с «1». Количество клеток в каждом объединении должно быть максимальным, а самих областей объединения должно быть как можно меньше. **Примечание:** любое количество клеток с «1» могут одновременно входить в две или больше области объединения.

– В каждой области производим операцию «склеивания», в результате чего получаем многочлены *минимальной* формы: МДНФ или МКНФ.

Приведем несколько примеров минимизации:

Пример 1. Минимизация СДНФ функции Y_1 из темы 2.1 (рис.2.11):

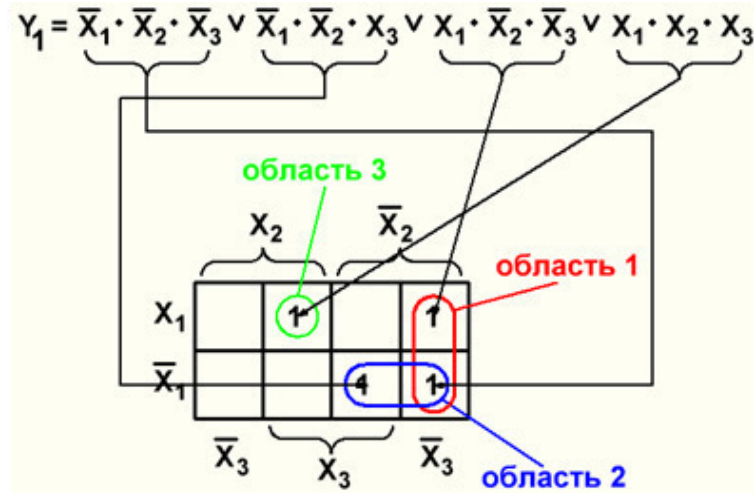


Рис.2.11

Покажем на рис.2.12 результаты "склеивания" двух клеток в областях 1 и 2 этой карты.

Область 1

$$\left. \begin{array}{l} \bar{X}_1 \cdot \bar{X}_2 \cdot X_3 \\ \bar{X}_1 \cdot \bar{X}_2 \cdot \bar{X}_3 \end{array} \right\} = \bar{X}_1 \cdot \bar{X}_2 \text{ (сокращаются } X_3 \text{ и } \bar{X}_3)$$

Область 1

$$\left. \begin{array}{l} X_1 \cdot \bar{X}_2 \cdot \bar{X}_3 \\ \bar{X}_1 \cdot \bar{X}_2 \cdot \bar{X}_3 \end{array} \right\} = \bar{X}_2 \cdot \bar{X}_3 \text{ (сокращаются } X_1 \text{ и } \bar{X}_1)$$

МДНФ

$$Y_1 = \bar{X}_1 \cdot \bar{X}_2 \vee \bar{X}_2 \cdot \bar{X}_3 \vee X_1 \cdot X_2 \cdot X_3$$

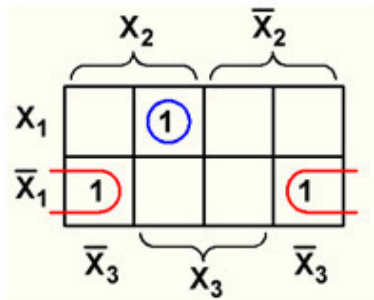
Рис.2.12

Область 3: Эта клетка остается одна – ни с какими другими клетками, содержащими «1», ее объединить нельзя. Поэтому соответствующий данной клетке многочлен $X_1 \cdot X_2 \cdot X_3$ не сокращается и входит в минимальную дизъюнктивную нормальную форму (МДНФ) без изменения.

В результате на этом же рис.2.12 записываем МДНФ (красным, синим и зеленым цветом показаны минтермы, которые получились в результате «склеивания» клеток в областях объединения соответствующего цвета на рис.2.11).

Пример 2. Минимизация СДНФ функции Y_2 из темы 2.1 (рис.2.13):

$$Y_2 = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3} \vee \overline{X_1} \cdot X_2 \cdot \overline{X_3} \vee X_1 \cdot X_2 \cdot X_3;$$

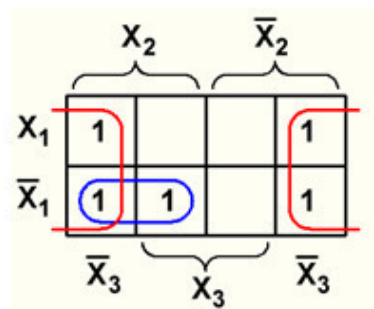


МДНФ:
 $Y_2 = \overline{X_1} \cdot \overline{X_3} \vee X_1 \cdot X_2 \cdot X_3$

Рис.2.13

Пример 3. Минимизация СДНФ функции Y_3 из темы 2.1 (рис.2.14):

$$Y_3 = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3} \vee \overline{X_1} \cdot X_2 \cdot \overline{X_3} \vee \overline{X_1} \cdot X_2 \cdot X_3 \vee X_1 \cdot \overline{X_2} \cdot \overline{X_3} \vee X_1 \cdot X_2 \cdot \overline{X_3}$$



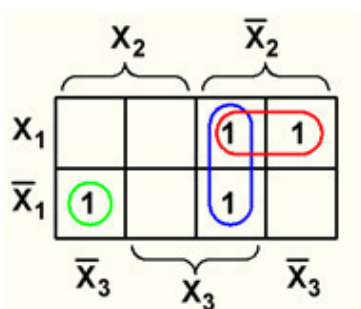
МДНФ: $Y_3 = \overline{X_3} \vee \overline{X_1} \cdot X_2$

Рис.2.14

Совершенно аналогично выполняется минимизация логических функций, записанных в СКНФ. Рассмотрим примеры:

Пример 4. Минимизация СКНФ функции Y_1 из темы 2.1 (рис.2.15):

$$Y_1 = (X_1 \vee \overline{X_2} \vee X_3) \cdot (X_1 \vee \overline{X_2} \vee \overline{X_3}) \cdot (\overline{X_1} \vee X_2 \vee \overline{X_3}) \cdot (\overline{X_1} \vee \overline{X_2} \vee X_3)$$

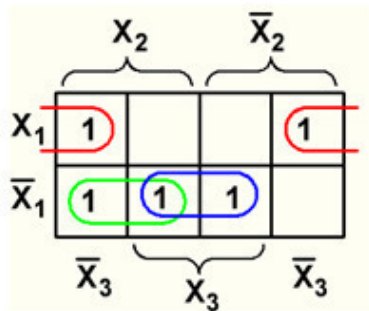


МКНФ:
 $Y_1 = (X_1 \vee \overline{X_2}) \cdot (\overline{X_2} \vee X_3) \cdot (\overline{X_1} \vee X_2 \vee \overline{X_3})$

Рис.2.15

Пример 5. Минимизация СКНФ функции Y_2 из темы 2.1 (рис.2.16).

$$Y_2 = (X_1 \vee X_2 \vee \bar{X}_3) \cdot (X_1 \vee \bar{X}_2 \vee \bar{X}_3) \cdot (\bar{X}_1 \vee X_2 \vee X_3) \cdot (\bar{X}_1 \vee X_2 \vee \bar{X}_3) \cdot (\bar{X}_1 \vee \bar{X}_2 \vee \bar{X}_3);$$



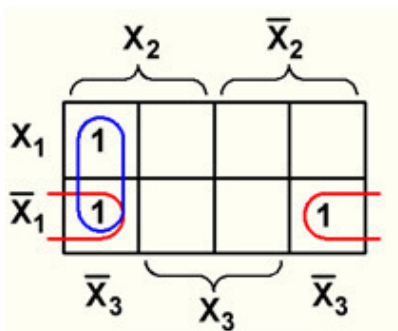
МКНФ:

$$Y_2 = (X_1 \vee \bar{X}_3) \cdot (\bar{X}_1 \vee X_3) \cdot (\bar{X}_1 \vee X_2)$$

Рис.2.16

Пример 6. Минимизация СКНФ функции Y_3 из темы 2.1 (рис.2.17).

$$Y_3 = (X_1 \vee X_2 \vee \bar{X}_3) \cdot (\bar{X}_1 \vee X_2 \vee \bar{X}_3) \cdot (\bar{X}_1 \vee \bar{X}_2 \vee \bar{X}_3).$$



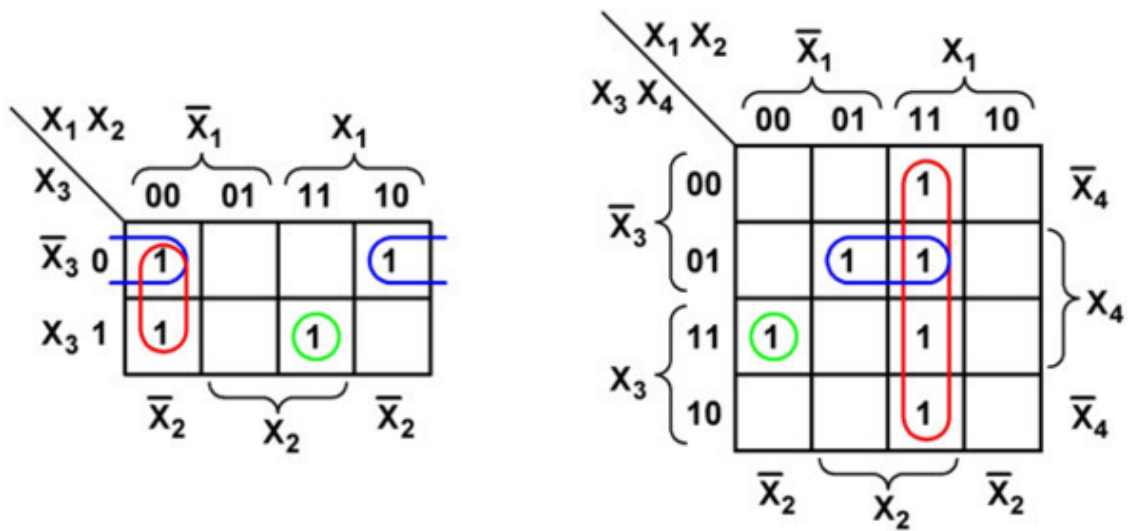
МКНФ:

$$Y_3 = (X_2 \vee \bar{X}_3) \cdot (\bar{X}_1 \vee \bar{X}_3)$$

Рис.2.17

Модификация карт Вейча, предложенная Карно, заключается в небольшом изменении координатной сетки (на рис. 2.18 показаны карты Карно для минимизации функций трех и четырех переменных дизъюнктивной формы).

Основным достоинством карт Карно по сравнению с картами Вейча является возможность их заполнения непосредственно по значениям сигналов в таблице истинности, не записывая СДНФ (или СКНФ). Но если координатная сетка карт Вейча одинаково применима для минимизации функций как дизъюнктивной, так и конъюнктивной формы, то в координатной сетке карт Карно для минимизации функций конъюнктивной формы прямые и инверсные значения переменных меняются местами по сравнению с координатной сеткой карт Карно для минимизации функций дизъюнктивной формы. На рис. 2.18 показано заполнение карт Карно, объединение клеток и результат минимизации функций Y_1 (см. табл. 2.1) и Y_4 в виде МДНФ.



$$\text{МДНФ: } Y_1 = \bar{X}_1 \cdot \bar{X}_2 \vee \bar{X}_2 \cdot \bar{X}_3 \vee X_1 \cdot X_2 \cdot X_3$$

$$\text{МДНФ: } Y_4 = X_1 \cdot X_2 \vee X_2 \cdot \bar{X}_3 \cdot X_4 \vee \bar{X}_1 \cdot \bar{X}_2 \cdot X_3 \cdot X_4$$

Рис.2.18

Сравнивая эти результаты с МДНФ примера 1 данной темы и примера из темы 2.8, мы легко убеждаемся, что они полностью совпадают с полученными при использовании карт Вейча.

2.3. Подбор микросхем, построение и анализ работы схем ЦУ в базисе И, ИЛИ, НЕ. Оценка качества схем

Построение схем производится таким образом, чтобы соблюдался порядок выполнения операций в логическом выражении согласно элементарным правилам как обычной алгебры, так и алгебры логики.

Достаточно очевидно, что при построении схем ЦУ по МДНФ порядок выполнения операций должен быть следующим:

- Логическое отрицание входных сигналов **X**, то есть первыми в схеме должны стоять элементы **НЕ**.
- Логическое умножение (элементы **И**).
- Логическое сложение (элементы **ИЛИ**).

Пример 1. МДНФ (см. *пример 1* из темы 2.2):

$$Y1 = X_1' \cdot X_2' \vee X_2' \cdot X_3' \vee X_1 \cdot X_2 \cdot X_3.$$

Определяем количество операций (и, соответственно, требуемых логических элементов) для реализации этой МДНФ:

1. В данном логическом выражении стоят **4** знака операции логического отрицания. Но следует учесть, что инвертирование одного и того же сигнала **X₂** просто встречается два раза. Поэтому схема должна содержать **3** элемента **НЕ** для отрицания сигналов **X₁**, **X₂** и **X₃**.

2. Для выполнения первого умножения **X₁'·X₂'** потребуется один элемент **2И**, т.к. в этой операции участвуют два сигнала: **X₁'** и **X₂'**.

3. Для выполнения второго умножения **X₂'·X₃'** также потребуется один элемент **2И**.

4. В третьем многочлене **X₁·X₂·X₃** требуется умножение трех сигналов, поэтому здесь нужно использовать один элемент **3И**.

Таким образом, для выполнения операций умножения мы должны использовать **2** элемента **2И** и один элемент **3И**.

5. Логическое сложение трех многочленов **X₁'·X₂'**; **X₂'·X₃'** и **X₁·X₂·X₃** требует применения одного элемента **3ИЛИ**. Но нужно сразу учесть, что в серии КР1533 и во многих других нет микросхем, содержащих элементы **3ИЛИ**. Поэтому для реализации нужного нам сложения придется использовать **2** элемента **2ИЛИ**.

По записи МДНФ видно, что именно в такой последовательности нужно выполнять операции: сначала логическое отрицание **НЕ**, затем логическое умножение **И**, и в конце логическое сложение **ИЛИ**.

Подбираем микросхемы. В данном случае для построения схемы достаточно взять:

– Одну микросхему КР1533ЛН1 (см. рис.1.12), содержащую **6** элементов **НЕ**. Т. к. нам требуется только **3** элемента **НЕ**, то в данной микросхеме **3** элемента оказываются лишними и использоваться они не будут.

– Одну микросхему КР1533ЛИ1 (см. рис.1.12), содержащую **4** элемента **2И** (здесь два элемента оказываются лишними), и одну микросхему КР1533ЛИ3 (см. рис.1.12), содержащую **3** элемента **3И** (из нее **2** элемента использоваться не будут).

– Одну микросхему КР1533ЛЛ1 (см. рис.1.13), содержащую **4** элемента **2ИЛИ** (два элемента этой микросхемы оказываются лишними).

Строим схему ЦУ в базисе **И, ИЛИ, НЕ** (термин «базис **И, ИЛИ, НЕ**» означает, что в данной схеме будут использоваться только элементы **И, ИЛИ, НЕ**), причем опера-

ции должны производиться в установленной нами последовательности: сначала **НЕ**, затем **И**, и в конце **ИЛИ**. Обращаем внимание, что при необходимости указывать направление передачи сигналов входы и выходы могут быть начерчены не кружочками (как в Разделе 1), а стрелками.

а) Чертим все три входа X_1 , X_2 и X_3 (рис.2.19а).

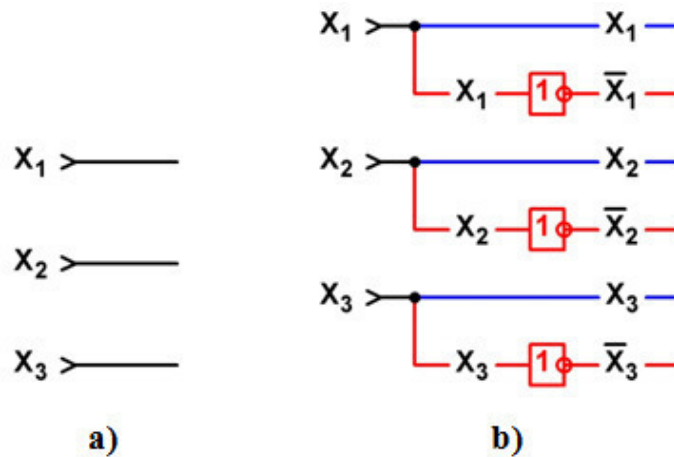


Рис.2.19

В дальнейшем на каждом следующем этапе все новые элементы, которые будут включаться в схему, показываются **красным** цветом.

б) Смотрим на МДНФ и видим, что операции **НЕ** должны выполняться *в данном случае* со всеми тремя переменными, т.к. в этом выражении имеются величины X_1' , X_2' и X_3' . Поэтому на всех трех входах ставим элементы **НЕ** (рис.2.19б.). Входы элементов подключаем ко входам схемы X_1 , X_2 и X_3 , на выходах будут формироваться инверсные значения входных сигналов X_1' , X_2' и X_3' .

Сразу же нужно учесть еще один момент: снова смотрим на МДНФ и обнаруживаем, что наряду с инверсными значениями всех (еще раз повторяем: *в данном случае* всех) сигналов X_1' , X_2' и X_3' нам потребуются и их прямые значения, поэтому выводим в схему и провода, показанные **синим** цветом.

с) Теперь переходим к выполнению операций логического умножения. Начнем с операции $X_1' \cdot X_2'$ (смотрите МДНФ). Чертим элемент **И**; на один его вход подаем X_1' , на другой – X_2' ; на выходе получаем результат умножения: $X_1' \cdot X_2'$. К настоящему моменту мы будем иметь схему, изображенную на рис.2.20а.

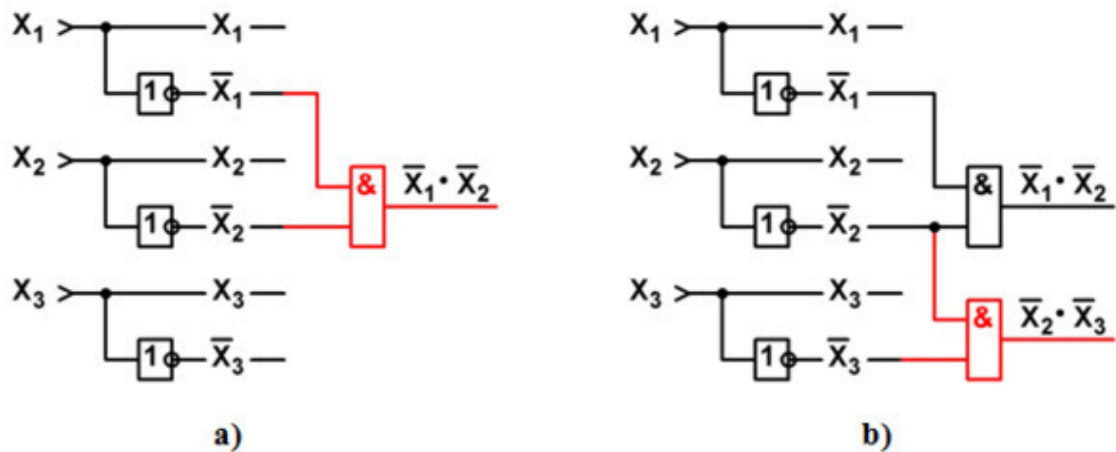


Рис.2.20

d) Реализуем следующую операцию умножения: $X_2' \cdot X_3'$ (смотрите МДНФ). Чертим еще один элемент **2И**; на один его вход подаем X_2' , на другой – X_3' ; на выходе получаем результат: $X_2' \cdot X_3'$. Теперь схема примет вид рис.2.20b.

e) В последнем многочлене МДНФ $X_1 \cdot X_2 \cdot X_3$ нужно выполнить операцию умножения с тремя сигналами, поэтому чертим элемент **3И**. На один его вход подаем X_1 , на второй – X_2 и на третий – X_3 ; на выходе получим результат: $X_1 \cdot X_2 \cdot X_3$. И схема теперь будет иметь вид рис.2.21.

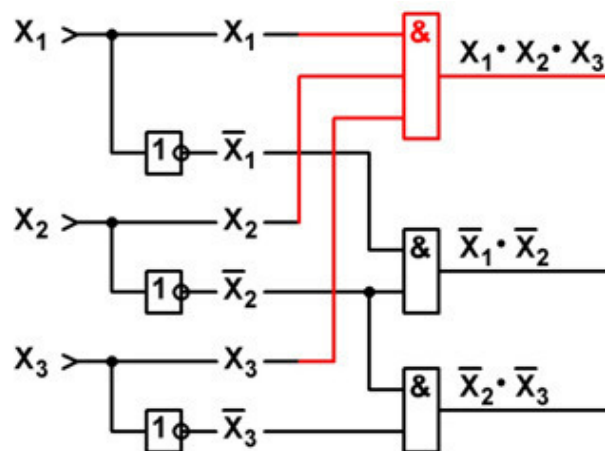


Рис.2.21

f) Переходим к реализации операций логического сложения полученных многочленов: $X_1' \cdot X_2'$, $X_2' \cdot X_3'$ и $X_1 \cdot X_2 \cdot X_3$ с помощью двух элементов **2ИЛИ**. Как известно, при перемене мест слагаемых сумма не меняется; поэтому совершенно безразлично, в какой последовательности мы будем выполнять эти операции. Начнем с логического сложения многочленов $X_1' \cdot X_2'$ и $X_1 \cdot X_2 \cdot X_3$. Начертим элемент **2ИЛИ**; на один его вход подадим $X_1' \cdot X_2'$, на другой – $X_1 \cdot X_2 \cdot X_3$; на выходе получим результат сложения: $X_1' \cdot X_2' \vee X_1 \cdot X_2 \cdot X_3$. Теперь схема будет выглядеть так, как на рис.2.22.

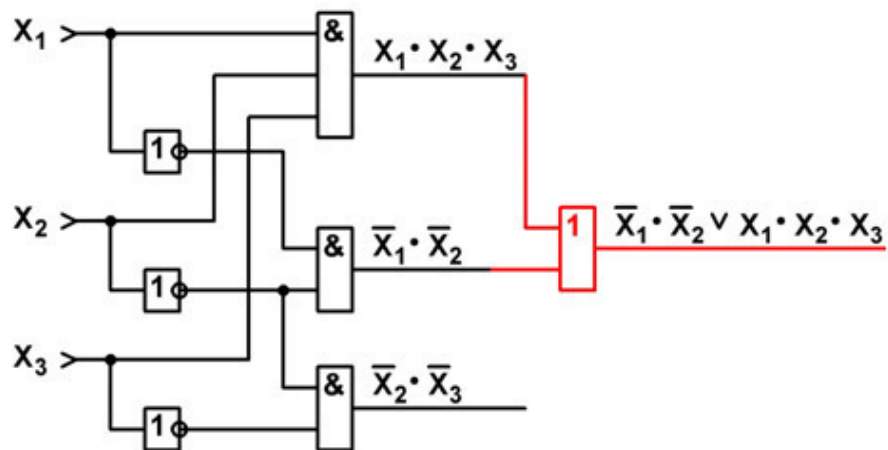


Рис.2.22

г) Остается лишь к величине $(X_1' \cdot X_2' \vee X_1 \cdot X_2 \cdot X_3)$ прибавить многочлен $X_2' \cdot X_3'$. Чертим последний элемент – элемент **ИЛИ**; на один его вход подаем $(X_1' \cdot X_2' \vee X_1 \cdot X_2 \cdot X_3)$, на другой – $X_2' \cdot X_3'$; на выходе этого элемента (так как он последний) получаем значение выходной функции Y_1 . И схема примет вид рис.2.23.

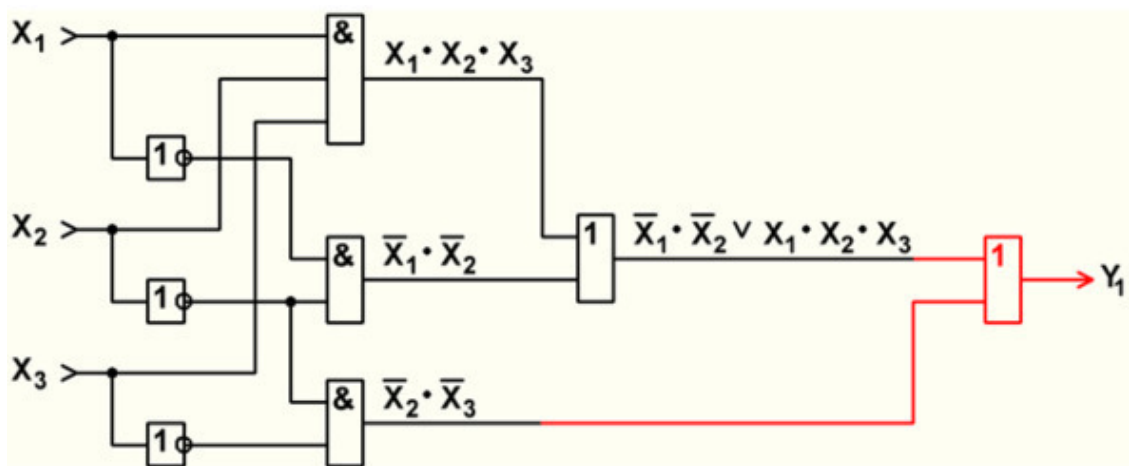


Рис.2.23

Теперь уберем вспомогательные надписи, укажем входы и выход, проставим *позиционное обозначение* всех элементов схемы с соответствующей нумерацией.

Микросхемы на чертежах обозначаются буквой **D** (от английского *device* – устройство) с соответствующим номером, например: **D1**, **D2**, **D3** и т. д. Допускается в позиционное обозначение добавлять вторую букву: **DA** (*A* – *analog*) – аналоговая микросхема, **DD** (*D* – *digital*) – цифровая микросхема; но это делается обычно тогда, когда в схеме присутствуют микросхемы обоих типов. А так как у нас в дальнейшем на чертежах будут только цифровые микросхемы, то мы вторую букву ставить не будем. Нумерацию микросхем и любых других элементов следует по возможности выполнять сверху вниз «колонками», начиная с левой стороны схемы.

На нашем чертеже в первой колонке стоят элементы **HE** из микросхемы КР1533ЛН1, которую поэтому следует обозначить **D1**. Но как обозначить *отдельные элементы* этой ИМС? Существует следующее правило: *если микросхема содержит несколько элементов,*

то они обозначаются с двойной нумерацией через точку, причем первая цифра указывает номер микросхемы, а вторая – номер элемента в этой микросхеме. В данном случае первый элемент **НЕ** из микросхемы КР1533ЛН1 (напомним, что ее мы обозначили **D1**) нужно обозначить **D1.1**, второй элемент – **D1.2**, третий – **D1.3**.

Во второй колонке первым стоит элемент **ЗИ** из микросхемы КР1533ЛИЗ, поэтому ее мы обозначим следующим по порядку номером **D2**. В указанной микросхеме используется один элемент **ЗИ**, который будет иметь обозначение **D2.1**.

В этой же второй колонке далее стоят два элемента **ЗИ** из микросхемы КР1533ЛИ1, их мы обозначим **D3.1** и **D3.2**.

Последними в схеме стоят два элемента **ИЛИ** из микросхемы КР1533ЛЛ1, их нужно обозначить **D4.1** и **D4.2**.

Кроме этого, у всех элементов схемы следует указать нумерацию их выводов в корпусе микросхем (смотрите предпоследний абзац темы 1.5 и Приложение 1).

В результате получаем окончательный вариант схемы (рис.2.24).

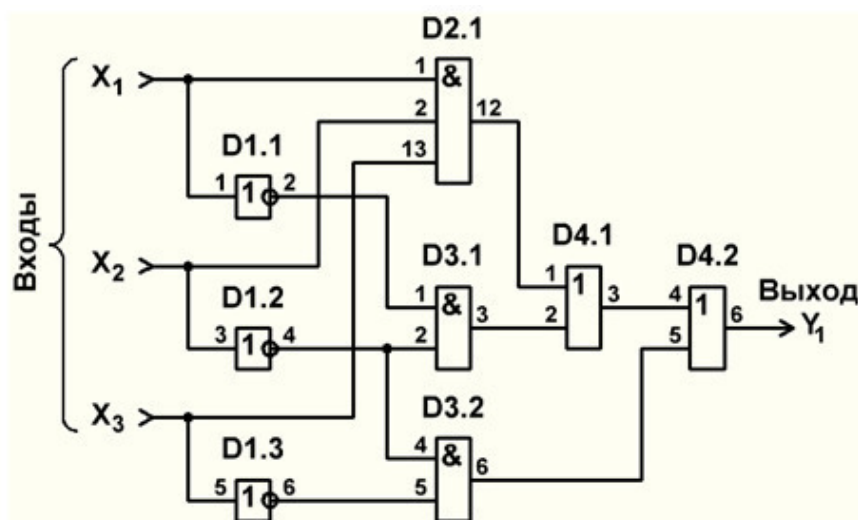


Рис.2.24

Примечания:

- в дальнейшем для достижения учебных целей мы не будем ставить нумерацию выводов корпусов микросхем, чтобы не загромождать чертежи;
- будем оставлять вспомогательные надписи, которые помогут учащимся разбираться в построении схем.
- в реальных чертежах отдельных плат или ТЭЗов (типовых элементов замены) входы и выходы оформляются иначе, чем показано на рис.2.26. Подробнее об этом будет сказано при подготовке к курсовому проектированию, а сейчас пока подписывать входы и выходы будем именно так.

Любая реальная схема дополняется сведениями о всех используемых здесь микросхемах, любых других элементах и устройствах в виде специальной таблицы, которая имеет официальное название «*Перечень элементов*» (табл.2.3). По стандарту указанная таблица должна помещаться либо *на поле* чертежа, либо *после* него.

Табл.2.3

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	3 элемента не используются
D2	КР1533ЛИЗ	1	2 элем. не использ.
D3	КР1533ЛИ1	1	2 элем. не использ.
D4	КР1533ЛЛ1	1	2 элем. не использ.

Примечания к таблице:

1. Названия заголовков устанавливаются стандартом и их обязательно нужно сокращать именно так, как показано в табл.2.3.
2. Размеры таблицы также устанавливаются стандартом:
 - ширина колонок по порядку слева направо: **20** (Позиционное обозначение), **110** (Наименование), **10** (Количество), **45** (Примечание) мм;
 - высота строки заголовков – **15** мм;
 - высота всех остальных строк – не менее **8** мм.

3. В колонке «Примечание» мы в дальнейшем будем указывать количество элементов из указанной микросхемы, которые в данной схеме использоваться не будут.

Выполним анализ работы ЦУ хотя бы в одном статическом режиме (рис.2.25). Для этого на входы подадим цифровые сигналы, например: $X_1 = 1$, $X_2 = 0$, $X_3 = 0$. По схеме, последовательно указывая значения сигналов на входах и выходах всех элементов (см. тему 1.2), определяем, что на выходе ЦУ формируется сигнал $Y_1 = 1$. Сравниваем полученный результат с таблицей истинности данного ЦУ (соответствующая строка выделена **красным** цветом в табл.2.1) и делаем вывод: в данном случае (при заданных значениях входных сигналов) устройство сработало правильно.

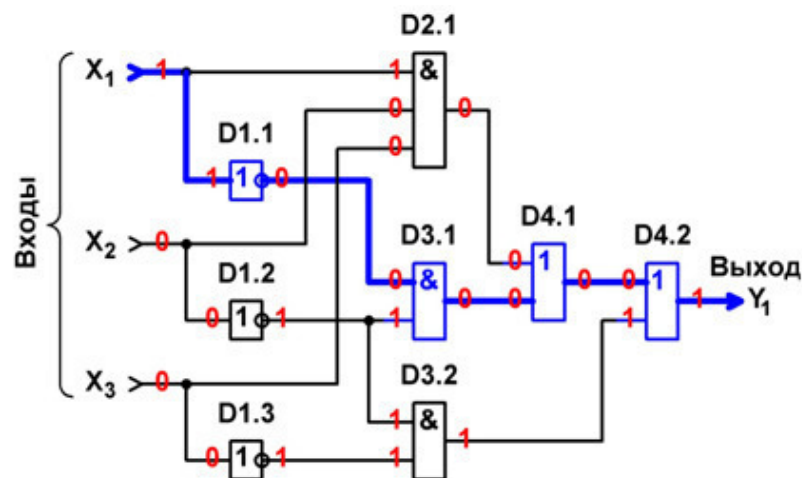


Рис.2.25

На основании вышеприведенного анализа *нельзя* сделать вывод о правильности построения данной схемы. Такой вывод будет корректным только в том случае, если выполнить анализ работы ЦУ для *всех 8* статических режимов (то есть для всех комбинаций входных сигналов) согласно таблице истинности (см. табл.2.1).

При необходимости анализ работы ЦУ в динамическом режиме производится так, как описано в теме 1.2.

Оценка качества схем в основном производится по двум параметрам: *аппаратурным затратам W* и *задержке T*.

Аппаратурные затраты **W** обычно определяются количеством используемых корпусов микросхем (значение ряда других параметров – потребляемой мощности, надежности и др. – допустимо считать приблизительно пропорциональными **W**). В данном случае мы берем:

– **3** элемента **НЕ** из микросхемы КР1533ЛН1, которая содержит в целом **6** элементов; то есть используем $3/6 = 0,5$ корпуса ИМС;

– **1** элемент **ЗИ** из микросхемы КР1533ЛИЗ (здесь всего – **3** элемента), т.е. используем $1/3 = 0,33$ корпуса ИМС;

– **2** элемента **ЗИ** из микросхемы КР1533ЛИ1, содержащей в целом **4** элемента; т.е. используем $2/4 = 0,5$ корпуса ИМС;

– **2** элемента **ИЛИ** из микросхемы КР1533ЛЛ1, которая содержит всего **4** элемента; т.е. используем $2/4 = 0,5$ корпуса ИМС.

Итого величина аппаратурных затрат получается равной:

$$W = 0,5 + 0,33 + 0,5 + 0,5 = 1,83 \text{ корпуса.}$$

Примечание: лишние элементы частично занятых корпусов микросхем не учитываются, поскольку они могут быть использованы в других узлах.

Наряду с аппаратурными затратами очень важным критерием качества схем является задержка **T**. В схемах, построенных с помощью микросхем средней степени интеграции, задержка достаточно объективно оценивается средним временем задержки распространения сигнала t_p (см. §1.6) входящих в нее элементов по максимально длинному пути сигналов от входа к выходу. В рамках одной серии обычно полагают, что задержка любого логического элемента равна некоторой усредненной для данной серии величине τ , которая вместе с t_p непосредственно элемента включает в себя и приближенную задержку на линиях связи между элементами. Для микросхем серии КР1533 значение τ можно принять равным 8 нс.

Рассмотрим все возможные пути прохождения сигналов по схеме (рис.2.14) от входов к выходу и определим соответствующую величину задержки:

– со входа **X₁** через **3** элемента – D2.1, D4.1 и D4.2, поэтому

$$T = 3\tau = 3 \cdot 8 = 24 \text{ нс;}$$

– со входа **X₁** через **4** элемента – D1.1, D3.1, D4.1 и D4.2 (этот путь на рис.2.24 выделен жирной **синей** линией);

$$T = 4\tau = 4 \cdot 8 = 32 \text{ нс;}$$

– со входа **X₂** через **3** элемента – D2.1, D4.1 и D4.2;

$$T = 3\tau = 3 \cdot 8 = 24 \text{ нс;}$$

– со входа **X₂** через **4** элемента – D1.2, D3.1, D4.1 и D4.2;

$$T = 4\tau = 4 \cdot 8 = 32 \text{ нс;}$$

– со входа X_3 через 3 элемента – D2.1, D4.1 и D4.2;

$$T = 3\tau = 3 \cdot 8 = 24 \text{ нс};$$

– со входа X_3 через 3 элемента – D1.3, D3.2 и D4.2;

$$T = 3\tau = 3 \cdot 8 = 24 \text{ нс}.$$

Таким образом, для данной схемы максимальная задержка составляет $T = 4\tau = 4 \cdot 8 = 32$ нс.

Примечание. Строго говоря, полученное численное значение (в данном случае 32 нс) особого значения не имеет, так как задержка (да и аппаратные затраты тоже) используются в основном для *сравнительной* оценки качества различных вариантов схем одного и того же ЦУ. Кроме этого, схема может строиться не на микросхемах логических элементов, а включаться целиком в состав какой-либо другой микросхемы, что приведет к существенному уменьшению задержки из-за сокращения линий связи между элементами внутри микросхемы, выполненной по интегральной технологии. Поэтому в большинстве случаев достаточно оперировать величиной $T = 4\tau$, не указывая его численное значение.

Приведем ряд других примеров, но уже без подробных пояснений.

Пример 2. МДНФ (см. пример 2 из §2.2):

$$Y_2 = X_1' \cdot X_3' \vee X_1 \cdot X_2 \cdot X_3.$$

Подсчитываем требуемое количество элементов: 2 элемента **НЕ** + 1 элемент **И** и 1 элемент **ИЛИ** + 1 элемент **ИЛИ**.

Подбираем микросхемы: по одной микросхеме КР1533ЛН1, КР1533ЛИ1, КР1533ЛИЗ и КР1533ЛЛ1.

Строим схему ЦУ в базисе **И**, **ИЛИ**, **НЕ** (рис.2.26).

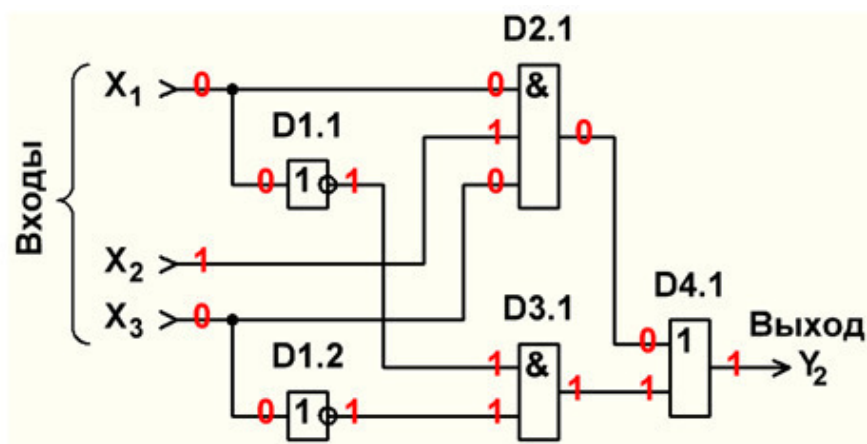


Рис.2.26

Составляем перечень элементов к этой схеме (табл.2.4).

Табл. 2.4

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	4 элемента не используются
D2	КР1533ЛИ3	1	2 элем. не использ.
D3	КР1533ЛИ1	1	3 элем. не использ.
D4	КР1533ЛЛ1	1	3 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.26 и **красную** строку в табл.2.2).

Определим аппаратурные затраты и задержку:

$$W = 2/6 + 1/3 + 1/4 + 1/4 = 0,33 + 0,33 + 0,25 + 0,25 = 1,16 \text{ корпуса; } T = 3\tau.$$

Пример 3. МДНФ (см. пример 3 из темы 2.2):

$$Y3 = X3' \vee X1' \cdot X2$$

Подсчитываем требуемое количество элементов: **2** элемента **НЕ** +1 элемент **2И** +1 элемент **2ИЛИ**.

Подбираем микросхемы: по одной микросхеме КР1533ЛН1, КР1533ЛИ1 и КР1533ЛЛ1. Строим схему ЦУ в базисе **И**, **ИЛИ**, **НЕ** (рис.2.27).

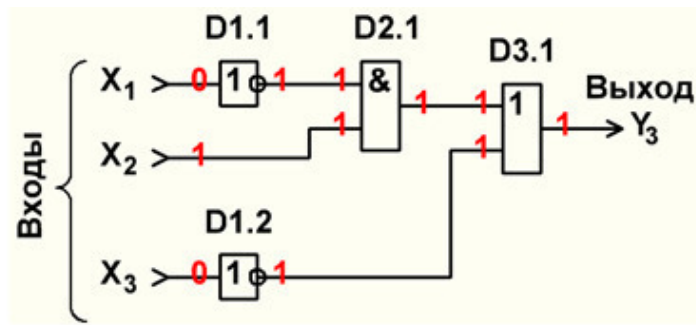


Рис.2.27

Составляем перечень элементов к этой схеме (табл.2.5).

Табл.2.5

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	4 элемента не используются
D2	КР1533ЛИ1	1	3 элем. не использ.
D3	КР1533ЛЛ1	1	3 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.27 и **красную** строку в табл.2.2).

Определим аппаратные затраты и задержку:

$$W = 2/6 + 1/4 + 1/4 = 0,33 + 0,25 + 0,25 = 0,83 \text{ корпуса;}$$

$$T = 3\tau.$$

Рассмотрим примеры построения схем по МКНФ. Здесь первыми опять будут выполняться операции НЕ. А порядок выполнения операций логического умножения и сложения изменится, так как по законам алгебры логики (и обычной алгебры тоже) сначала должны выполняться операции в скобках – ИЛИ, а уже затем – операции И.

Пример 4. МКНФ (см. пример 4 из темы 2.2):

$$Y_1 = (X_1 \vee X_2') \cdot (X_2' \vee X_3) \cdot (X_1' \vee X_2 \vee X_3')$$

Подсчитываем требуемое количество элементов: **3** элемента **НЕ** +4 элемента **2ИЛИ** (в третьей скобке для выполнения логического сложения трех сигналов мы вынуждены использовать **2** элемента **2ИЛИ**, так как нужного здесь в принципе элемента **3ИЛИ** нет в микросхемах серии КР1533) +1 элемент **3И**.

Подбираем микросхемы: по одной микросхеме КР1533ЛН1, КР1533ЛЛ1 и КР1533ЛИЗ. Строим схему ЦУ в базисе **И**, **ИЛИ**, **НЕ** (рис.2.28).

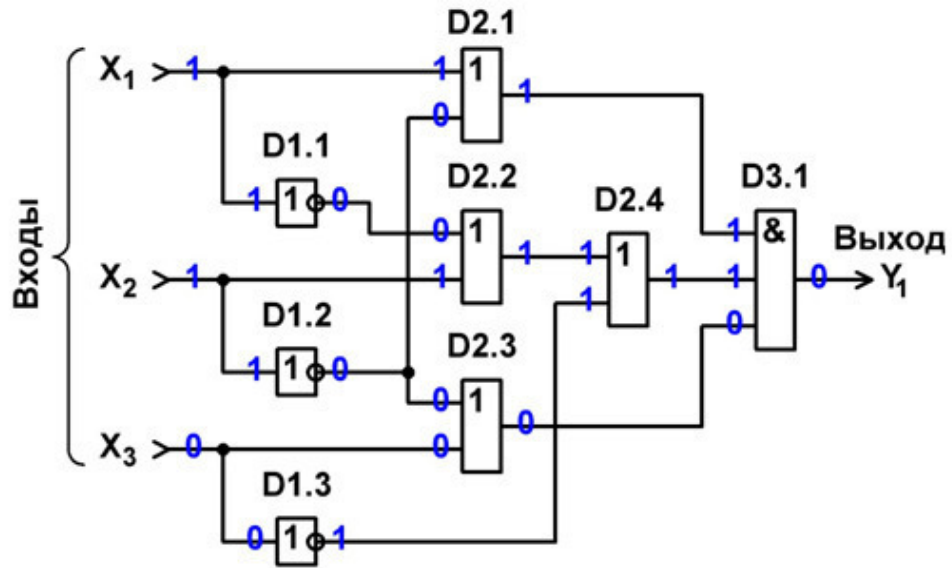


Рис.2.28

Составляем перечень элементов к этой схеме (табл.2.6).

Табл.2.6

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	3 элемента не используются
D2	КР1533ЛЛ1	1	
D3	КР1533ЛИЗ	1	2 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.28 и соответствующую **синюю** строку в табл.2.1).

Определим аппаратные затраты и задержку:

$$W = 3/6 + 1 + 1/3 = 0,5 + 1 + 0,33 = 1,83 \text{ корпуса}; T = 4\tau.$$

Пример 5. МКНФ (см. пример 5 из темы 2.2):

$$Y_2 = (X_1 \vee X_3') \cdot (X_1' \vee X_3) \cdot (X_1' \vee X_2).$$

Подсчитываем требуемое количество элементов: **2** элемента **НЕ** +3 элемента **ИЛИ** +1 элемент **И**.

Подбираем микросхемы: по одной микросхеме КР1533ЛН1, КР1533ЛЛ1 и КР1533ЛИЗ. Строим схему ЦУ в базисе **И**, **ИЛИ**, **НЕ** (рис.2.29).

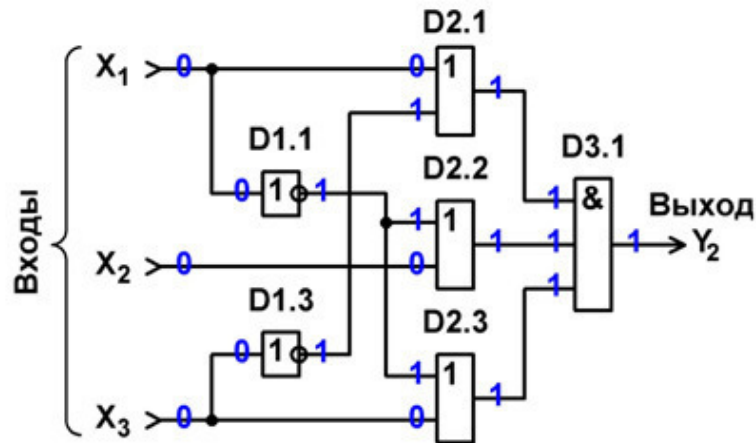


Рис.2.29

Составляем перечень элементов к этой схеме (табл.2.7).

Табл.2.7

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	4 элем. не использ.
D2	КР1533ЛЛ1	1	1 элем. не использ.
D3	КР1533ЛИ3	1	2 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.29 и **синюю** строку в табл.2.2).

Определим аппаратные затраты и задержку:

$$W = 2/6 + 3/4 + 1/3 = 0,33 + 0,75 + 0,33 = 1,41 \text{ корпуса;}$$

$$T = 3\tau.$$

Пример 6. МКНФ (см. пример 6 из темы 2.2):

$$Y_3 = (X_2 \vee X_3') \cdot (X_1' \vee X_3').$$

Подсчитываем требуемое количество элементов: **2** элемента **НЕ** +2 элемента **ИЛИ** +1 элемент **И**.

Подбираем микросхемы: по одной микросхеме КР1533ЛН1, КР1533ЛЛ1 и КР1533ЛИ1. Строим схему ЦУ в базисе **И**, **ИЛИ**, **НЕ** (рис.2.30).

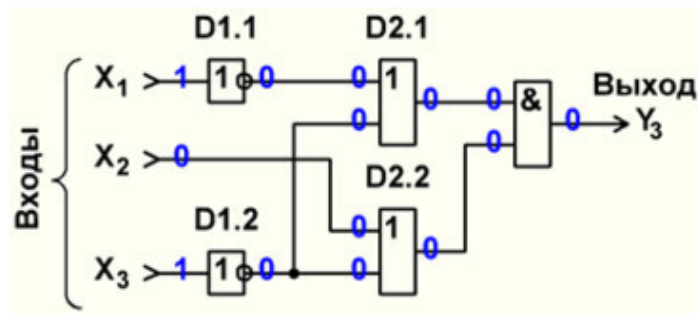


Рис.2.30

Составляем перечень элементов к этой схеме (табл.2.8).

Табл.2.8

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	4 элемента не используются
D2	КР1533ЛЛ1	1	2 элем. не использ.
D3	КР1533ЛИ1	1	3 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.30 и **синюю** строку в табл.2.2).

Определим аппаратные затраты и задержку:

$$W = 2/6 + 2/4 + 1/4 = 0,33 + 0,5 + 0,25 = 1,08 \text{ корпуса};$$

$$T = 3\tau.$$

2.4. Переход к базису И-НЕ. Подбор микросхем, построение и анализ работы схем ЦУ в базисе И-НЕ

Значительно чаще для построения схем ЦУ используют не элементы **И**, **ИЛИ**, **НЕ**, а элементы **И-НЕ** (базис **И-НЕ**) или **ИЛИ-НЕ** (базис **ИЛИ-НЕ**). При этом в большинстве случаев улучшается качество схем, да и сами схемы по структуре получаются проще.

Переход к базису **И-НЕ** производится от МДНФ и его конечная цель заключается в следующем: следует так преобразовать МДНФ, чтобы в итоговом логическом выражении не было операций **И**, **ИЛИ**, **НЕ**, а были бы только операции **И-НЕ**.

Переход выполняется в следующем порядке (под буквами **А**, **В**, **С**, **Д** и т. д. понимаются логические сигналы **0** или **1**, а также любые логические операции и выражения, дающие в результате опять же сигналы **0** или **1**):

1. Используется закон *двойного отрицания* (двойной инверсии):

$$A = A''.$$

Справедливость этого закона проверить несложно, если вместо **А** подставить **0** или **1**.

2. Применяется первая форма закона *де Моргана*:

$$(B \vee C \vee D \vee \dots)' = B' \cdot C' \cdot D' \cdot \dots$$

Правильность и этого закона тоже проверить несложно, если вместо **В**, **С**, **Д** и т. д. подставить любую комбинацию сигналов **0** и **1**.

3. Полученное логическое выражение рекомендуется записать с использованием символа «штрих Шеффера» (смотрите табл.1.1), например:

$$(X_1 \cdot X_2)' = X_1 / X_2.$$

Примечание:

В итоговом логическом выражении, как уже было сказано ранее, должны содержаться *только* операции **И-НЕ**. Но кроме них, как правило, остаются все-таки операции **НЕ**, которые в данном случае следует выполнять с помощью элементов **И-НЕ** путем объединения входов этих элементов (рис. 2.31). То, что здесь будет выполняться операция логического отрицания, может легко убедиться каждый.

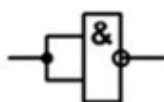


Рис.2.31

Известно (см. рис. 1.13, 1.14), что элементы **И-НЕ** могут быть с разным количеством входов. Какие же можно использовать для выполнения логического отрицания? Очевидно, любые! Но в этом случае придется замыкать все входы, поэтому желательно для исключения лишних соединений применять элементы **И-НЕ** с минимальным количеством входов – элементы **2И-НЕ**.

Пример 1. МДНФ (см. пример 1 из темы 2.2):

$$Y_1 = X_1' \cdot X_2' \vee X_2' \cdot X_3' \vee X_1 \cdot X_2 \cdot X_3.$$

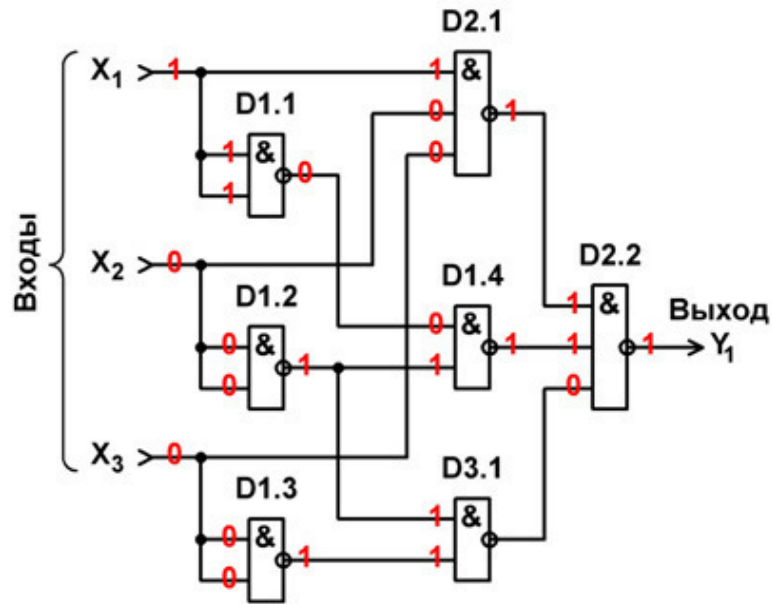


Рис.2.32

На этом же рис.2.32 выполнен анализ работы схемы ЦУ в статическом режиме для одной комбинации входных сигналов (см. **красную** строку в табл. 2.1).

Составляем перечень элементов к этой схеме (табл.2.9).

Табл.2.9

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛА3	1	
D2	КР1533ЛА4	1	1 элем. не использ.
D3	КР1533ЛА3	1	3 элем. не использ.

Определим аппаратные затраты и задержку:

$$W = 1 + 2/3 + 1/4 = 1 + 0,67 + 0,25 = 1,92 \text{ корпуса; } T = 3\tau.$$

Пример 2. МДНФ (см. пример 2 из темы 2.2):

$$Y2 = X1' \cdot X3' \vee X1 \cdot X2 \cdot X3.$$

Переходим к базису И-НЕ:

$$Y2 = [(X1' \cdot X3') \vee (X1 \cdot X2 \cdot X3)]'' = [(X1' \cdot X3')' \cdot (X1 \cdot X2 \cdot X3)']' =$$

$$= [(X1'/X3') / (X1/X2/X3)].$$

Подсчитываем требуемое количество элементов: **4** элемента **2И-НЕ** (из них – **2** элемента для выполнения логического отрицания) +1 элемент **3И-НЕ**.

Подбираем ИМС: по одной ИМС КР1533ЛА3 и КР1533ЛА4.

Строим схему ЦУ в базисе **И-НЕ** (рис.2.33).

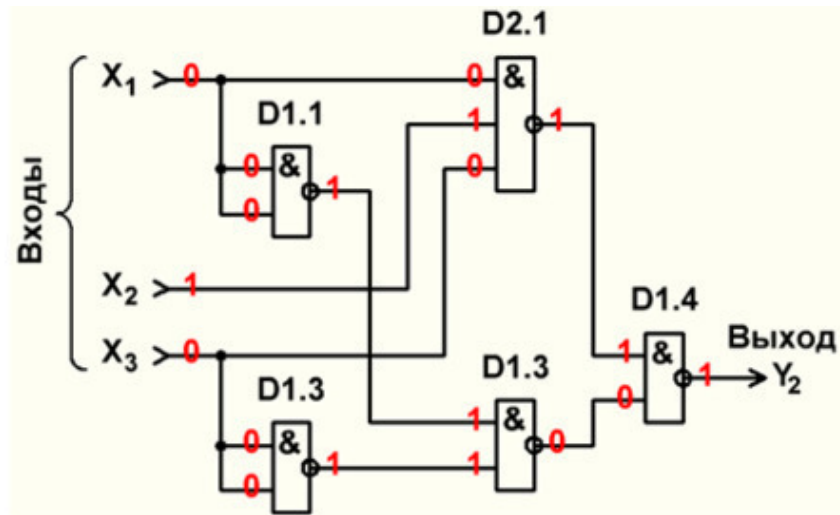


Рис.2.33

Составим перечень элементов к этой схеме (табл.2.10).

Табл.2.10

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛА3	1	
D2	КР1533ЛА4	1	2 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.33 и **красную** строку в табл.2.2).

Определим аппаратные затраты и задержку:

$$W = 1 + 1/3 = 1 + 1,33 = 1,33 \text{ корпуса}; T = 3\tau.$$

Пример 3. МДНФ (см. пример 3 из темы 2.2):

$$Y_3 = X_3' \vee X_1' \cdot X_2.$$

Переходим к базису **И-НЕ**:

$$Y_3 = (X_3' \vee X_1' \cdot X_2)'' = [(X_3')' \vee (X_1' \cdot X_2)']' = (X_3) / (X_1' / X_2).$$

Обратим внимание, что в МДНФ переменная была с отрицанием, затем после применения закона де Моргана у нее появилось второе отрицание, что по закону двойной инверсии дает прямое значение X_3 . На будущее следует иметь в виду весьма простое правило: если в логическом выражении базиса **И**, **ИЛИ**, **НЕ** имеется минтерм, содержащий только одну переменную, то при переходе к базису **И-НЕ** эта переменная будет обязательно менять свое значение на противоположное: если она была без отрицания, то будет с отрицанием; если же она была с отрицанием, то будет без него.

Подсчитываем требуемое количество элементов: **3** элемента **2И-НЕ** (из них – **1** элемент для логического отрицания).

Подбираем микросхему: одна микросхема КР1533ЛА3.

Строим схему ЦУ в базисе И-НЕ (рис.2.34):

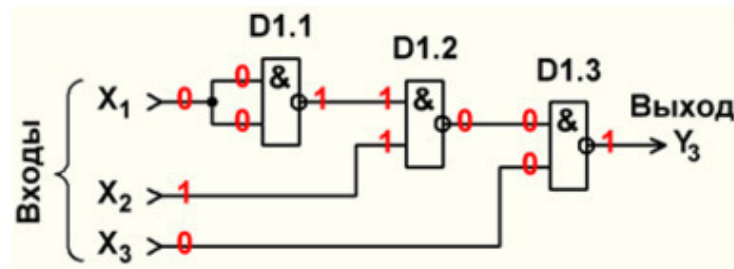


Рис.2.34

Составим перечень элементов к этой схеме (табл.2.11).

Табл.2.11

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛА3	1	1 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.34 и **красную** строку в табл.2.2).

Определим аппаратные затраты и задержку:

$$W = 3/4 = 0,75 \text{ корпуса; } T = 3\tau.$$

2.5. Переход к базису ИЛИ-НЕ. Подбор микросхем, построение и анализ работы схем ЦУ в базисе ИЛИ-НЕ

Аналогично описанному в предыдущем параграфе переходу к базису **И-НЕ** от МДНФ производится переход к базису **ИЛИ-НЕ**, только теперь уже от МКНФ:

1. Используется закон **двойного отрицания** (двойной инверсии):

$$A = A''$$

2. Применяется *вторая* форма закона де Моргана:

$$(B \cdot C \cdot D \cdot \dots)' = B' \vee C' \vee D' \vee \dots$$

3. Полученное логическое выражение рекомендуется записать с использованием символа «стрелка Пирса» (смотрите табл.1.1), например:

$$(X_1 \vee X_2)' = X_1 \downarrow X_2.$$

Примечание:

В итоговом логическом выражении должны содержаться *только* операции **ИЛИ-НЕ**. Но кроме них, как правило, остаются все-таки операции **НЕ**, которые в данном случае следует выполнять с помощью элементов **2ИЛИ-НЕ** путем объединения входов этих элементов.

Пример 1. МКНФ (см. пример 4 из темы 2.2):

$$Y_1 = (X_1 \vee X_2') \cdot (X_2' \vee X_3) \cdot (X_1' \vee X_2 \vee X_3')$$

Переходим к базису **ИЛИ-НЕ**. Для этого сначала используем закон двойного отрицания:

$$\begin{aligned} Y_1 &= \underbrace{(X_1 \vee \overline{X_2}) \cdot (\overline{X_2} \vee X_3) \cdot (\overline{X_1} \vee X_2 \vee \overline{X_3})}_{A} = \\ &= \overline{\overline{(X_1 \vee X_2)} \cdot \overline{(X_2 \vee X_3)} \cdot \overline{(X_1 \vee X_2 \vee X_3)}}. \\ &\quad \underbrace{\hspace{1.5cm}}_B \quad \underbrace{\hspace{1.5cm}}_C \quad \underbrace{\hspace{1.5cm}}_D \end{aligned}$$

Теперь применяем закон де Моргана:

$$Y_1 = \overline{\overline{(X_1 \vee X_2)} \vee \overline{(X_2 \vee X_3)} \vee \overline{(X_1 \vee X_2 \vee X_3)}}.$$

$\underbrace{\hspace{1.5cm}}_B$
 $\underbrace{\hspace{1.5cm}}_C$
 $\underbrace{\hspace{1.5cm}}_D$

Результат записываем через символ "стрелка Пирса":

$$Y_1 = (X_1 \downarrow \overline{X_2}) \downarrow (\overline{X_2} \downarrow X_3) \downarrow (\overline{X_1} \downarrow X_2 \downarrow \overline{X_3}).$$

Подсчитываем требуемое количество элементов: **5** элементов **ИЛИ-НЕ** (из них **3** элемента – для отрицания) +2 элемента **ЗИЛИ-НЕ**.

Подбираем микросхемы: две микросхемы КР1533ЛЕ1 и одна микросхема КР1533ЛЕ4.

Строим схему ЦУ в базисе **ИЛИ-НЕ** (рис.2.35).

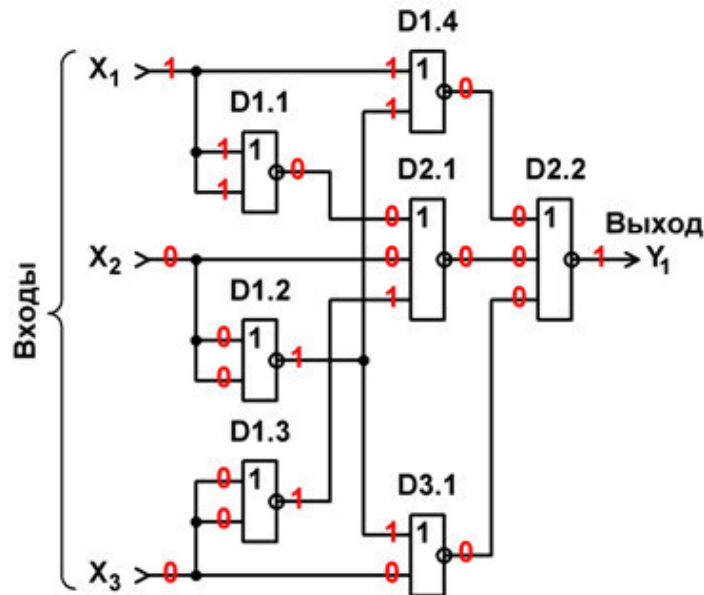


Рис.2.35

Составляем перечень элементов к этой схеме (табл.2.12).

Табл.2.12

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛЕ1	1	
D2	КР1533ЛЕ4	1	1 элем. не использ.
D3	КР1533ЛЕ1	1	3 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.35 и **синюю** строку в табл.2.1).

Определим аппаратные затраты и задержку:

$$W = 1 + 2/3 + 1/4 = 1 + 0,67 + 0,25 = 1,92 \text{ корпуса; } T = 3\tau.$$

Пример 2. МКНФ (см. пример 5 из темы 2.2):

$$Y_2 = (X_1 \vee X_3') \cdot (X_1' \vee X_3) \cdot (X_1' \vee X_2).$$

Переходим к базису **ИЛИ-НЕ**:

$$\begin{aligned}
 Y_2 &= [(X_1 \vee X_3') \cdot (X_1' \vee X_3) \cdot (X_1' \vee X_2)]'' = \\
 &= [(X_1 \vee X_3')' \vee (X_1' \vee X_3)' \vee (X_1' \vee X_2)']' = \\
 &= (X_1 \downarrow X_3') \downarrow (X_1' \downarrow X_3) \downarrow (X_1' \downarrow X_2).
 \end{aligned}$$

Подсчитываем требуемое количество элементов: **5** элементов **2ИЛИ-НЕ** (из них **2** элемента – для отрицания) +1 элемента **3ИЛИ-НЕ**.

Подбираем микросхемы: две микросхемы КР1533ЛЕ1 и одна микросхема КР1533ЛЕ4. Строим схему ЦУ в базисе ИЛИ-НЕ (рис.2.36).

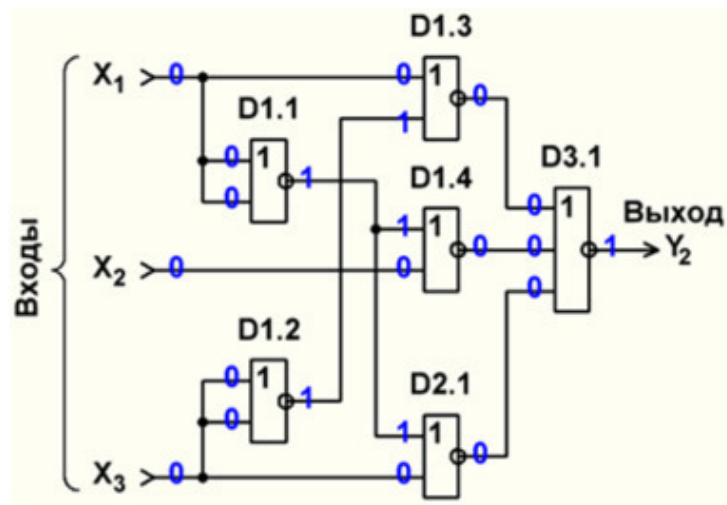


Рис.2.36

Составляем перечень элементов к этой схеме (табл.2.13).

Табл.2.13

Поз. обозначение	Наименование	Кол.	Примечание
D1,D2	КР1533ЛЕ1	2	3 эл. из D2 не исп.
D3	КР1533ЛЕ4	1	2 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.36 и **синюю** строку в табл.2.2).

Определим аппаратные затраты и задержку:

$$W = 1 + 1/4 + 1/3 = 1 + 0,25 + 0,33 = 1,58 \text{ корпуса; } T = 3\tau.$$

Пример 3. МКНФ (см. пример 6 из темы 2.2):

$$Y_3 = (X_2 \vee X_3') \cdot (X_1' \vee X_3')$$

Переходим к базису **ИЛИ-НЕ**:

$$Y_3 = [(X_2 \vee X_3') \cdot (X_1' \vee X_3')]'' = [(X_2 \vee X_3')' \vee (X_1' \vee X_3')']' = [(X_2 \downarrow X_3') \downarrow (X_1' \downarrow X_3')]$$

Подсчитываем требуемое количество элементов: **5** элементов **2ИЛИ-НЕ** (из них **2** элемента – для отрицания).

Подбираем микросхемы: две микросхемы КР1533ЛЕ1.

Строим схему ЦУ в базисе **ИЛИ-НЕ** (рис.2.37).

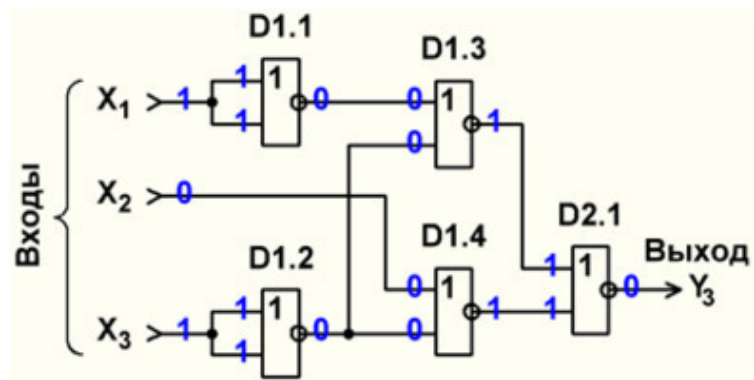


Рис.2.37

Составляем перечень элементов к этой схеме (табл.2.14).

Табл.2.14

Поз. обозначение	Наименование	Кол.	Примечание
D1,D2	КР1533ЛА3	2	3 элем. из D2 не используются

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.37 и синюю строку в табл.2.2).

Определим аппаратные затраты и задержку:

$$W = 1 + 1/4 = 1 + 0,25 = 1,25 \text{ корпуса; } T = 3\tau.$$

2.6. Использование в схемах элементов разных базисов и комбинированных микросхем

Очень часто для достижения лучшего быстродействия или уменьшения аппаратных затрат в схемах цифровых устройств используют элементы разных базисов. Приведем пример:

Пример 1. МКНФ (см. пример 4 из темы 2.2):

$$Y_1 = (X_1 \vee X_2') \cdot (X_2' \vee X_3) \cdot (X_1' \vee X_2 \vee X_3')$$

В данном логическом выражении базиса **И, ИЛИ, НЕ** преобразуем последний многочлен с использованием закона двойного отрицания и первого закона де Моргана:

$$\begin{aligned} (X_1' \vee X_2 \vee X_3') &= (X_1' \vee X_2 \vee X_3')'' = (X_1')' \cdot (X_2)' \cdot (X_3')' = \\ &= X_1 / X_2' / X_3. \end{aligned}$$

Теперь с учетом полученного результата исходное логическое выражение примет вид:

$$Y_1 = (X_1 \vee X_2') \cdot (X_2' \vee X_3) \cdot (X_1 / X_2' / X_3).$$

Определим требуемое количество элементов: **1** элемент **НЕ** + **2** элемента **ИЛИ** + **1** элемент **И-НЕ** (для выполнения операции в третьей скобке) + **1** элемент **И**.

Подбираем микросхемы: по одной микросхеме КР1533ЛН1, КР1533ЛЛ1, КР1533ЛА4 и КР1533ЛИЗ.

Строим схему ЦУ (рис. 2.38):

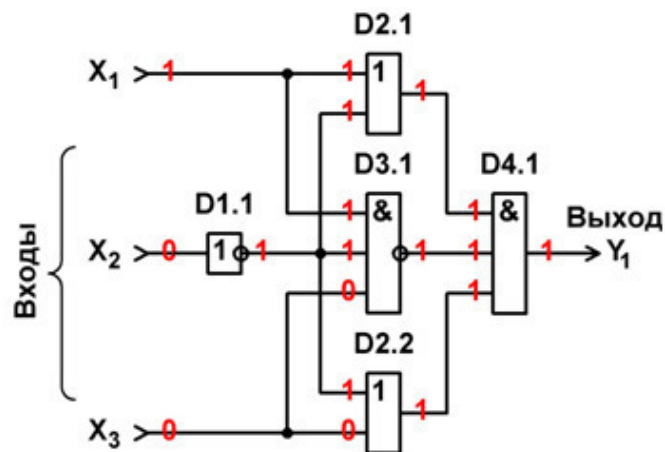


Рис.2.38

Составим перечень элементов к этой схеме (табл. 2.15).

Табл. 2.15

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	5 элементов не используются
D2	КР1533ЛЛ1	1	2 элем. не использ.
D3	КР1533ЛА4	1	2 элем. не использ.
D4	КР1533ЛИ3	1	2 элем. не использ.

Выполним анализ работы ЦУ в статическом режиме для одной комбинации входных сигналов (см. рис.2.38 и **красную** строку в табл.2.1).

Определим аппаратурные затраты и задержку:

$$W = 1/6 + 2/4 + 1/3 + 1/3 = 0,17 + 0,5 + 0,33 + 0,33 = 1,33 \text{ корпуса; } T = 3\tau.$$

Полученные результаты сравним с этими же параметрами, характеризующими работу схемы рис. 2.27, построенной по исходной МКНФ:

$$W = 1,83 \text{ корпуса; } T = 4\tau.$$

Хорошо видно, что преобразование только лишь одного многочлена МКНФ и вытекающая из этого необходимость использования в схеме элементов разных базисов привело: во-первых, к уменьшению задержки (**3τ** вместо **4τ**); и, во-вторых, к уменьшению аппаратурных затрат (**1,33** корпуса вместо **1,83**).

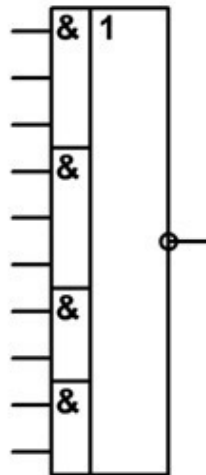
Иногда для достижения тех же целей увеличения быстродействия, уменьшения аппаратурных затрат, но в основном для уменьшения количества *внешних* соединений (то есть таких соединений, которые выполняются *не внутри* микросхемы, а *снаружи* путем монтажа) между микросхемами и элементами микросхем применяют комбинированные ИМС (смотрите, например, рис. 1.15 из параграфа 1.5). Приведем пример:

Пример 2. МДНФ (см. пример 1 из темы 2.2):

$$Y1 = X_1' \cdot X_2' \vee X_2' \cdot X_3' \vee X_1 \cdot X_2 \cdot X_3.$$

Логическое отрицание, как и в указанном примере 1 из темы 2.2, будем делать с помощью тех же элементов **НЕ** из микросхемы КР1533ЛН1. А для выполнения остальных операций воспользуемся микросхемой КР1533ЛР13 (рис. 2.39).

**Изображение
ИМС КР1533ЛР13**



**Структура
ИМС КР1533ЛР13**

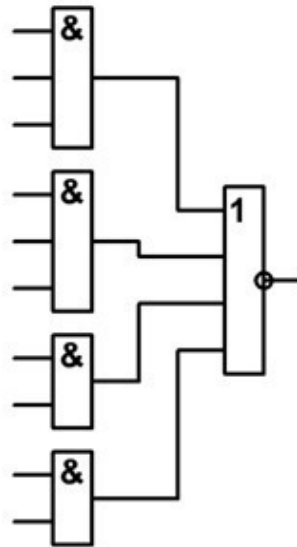


Рис.2.39

Но здесь нужно учесть, что в данной микросхеме на выходе стоит элемент **ИЛИ-НЕ**, поэтому выходной сигнал получится инвертированным. Чтобы получить на выходе все-таки прямое значение сигнала, выполним его повторное отрицание с помощью еще одного элемента **НЕ** из микросхемы КР1533ЛН1.

Строим схему ЦУ (рис. 2.40):

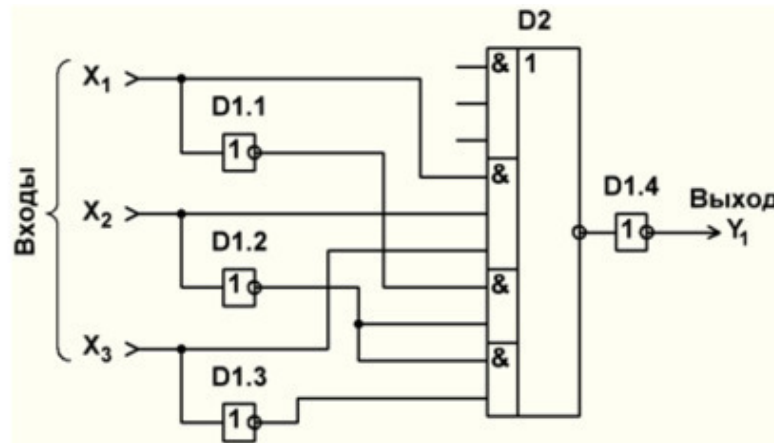


Рис.2.40

Составим перечень элементов к этой схеме (табл. 2.16).

Табл. 2.16

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	2 элемента не используются
D2	КР1533ЛР13	1	1 элемент 3И не используется

Примечание: один элемент **3И** из микросхемы КР1533ЛР13 получается лишним. В схеме рис. 2.40 его входы *оставлены свободными*, но этого делать *нельзя!* В микросхемах **ТТЛ** и **ТТЛШ-структур** входы *лишних элементов обязательно следует куда-либо подключить*, иначе данная ИМС работать не будет (смотрите тему 2.9).

Определим количество внешних соединений между элементами:

- в схеме рис. 2.25, построенной по исходной МДНФ: **8**;
- в схеме рис. 2.40: **5**.

Это подтверждает сказанное ранее: использование комбинированных ИМС уменьшает количество внешних соединений между элементами микросхем.

Подсчитаем аппаратные затраты и задержку:

$$W = 4/6 + 4/5 = 0,67 + 0,8 = 1,47 \text{ корпуса; } T = 4\tau.$$

Полученные результаты сравним с этими же параметрами, характеризующими работу схемы рис. 2.25, построенной по исходной МДНФ:

$$W = 1,83 \text{ корпуса; } T = 4\tau.$$

Хорошо видно, что аппаратные затраты уменьшились: **1,47** корпуса вместо **1,83**.

Задержка вроде бы осталась той же: **T = 4τ**. Но соединительные линии внутри комбинированной микросхемы дают меньшую задержку сигналов, чем внешние соединения. Поэтому из-за уменьшения количества внешних соединений задержка на самом деле станет несколько меньше **4τ**.

2.7. Сравнительная оценка качества схем

Сравнительный анализ качества схем, как уже было указано ранее, обычно производится по двум важнейшим критериям: задержке **T** и аппаратурным затратам **W**.

Если не предъявляются заранее поставленные особые требования к отдельным критериям, то поступают следующим образом:

- Отбрасывают варианты, обладающие самыми худшими характеристиками или по **T**, или по **W**, или по обоим параметрам одновременно.

- Из других схем (все они образуют так называемое *множество Парето*) отдают предпочтение более быстродействующим.

- В оставшихся вариантах с одинаковой минимальной задержкой выбирают наиболее экономичные схемы.

Для примера проведем сравнительную оценку качества схем, реализующих функцию Y_1 , которые были построены нами различными способами. Для этого сведем данные по **T** и **W** в небольшую таблицу (табл. 2.17).

Табл.2.17

Схема построена:	T	W
По МДНФ	4τ	1,83 корпуса
По МКНФ	4τ	1,83 корпуса
В базисе И-НЕ	3τ	1,92 корпуса
В базисе ИЛИ-НЕ	3τ	1,92 корпуса
С использованием элементов разных базисов	3τ	1,33 корпуса
С использованием комбинированной микросхемы	Немного меньше 4τ	1,47 корпуса

Сначала исключаем схемы, построенные по МДНФ и МКНФ, обладающие наибольшей задержкой. Затем исключаем схемы в базисах **И-НЕ** и **ИЛИ-НЕ** с наибольшими аппаратурными затратами.

В оставшихся двух вариантах, которые в данном случае и образуют множество Парето, выбираем как более быстродействующую схему, построенную с использованием элементов разных базисов.

2.8. Синтез и анализ работы ЦУ с 4 входами

Задана таблица истинности ЦУ, имеющего 4 входа (табл. 2.18).

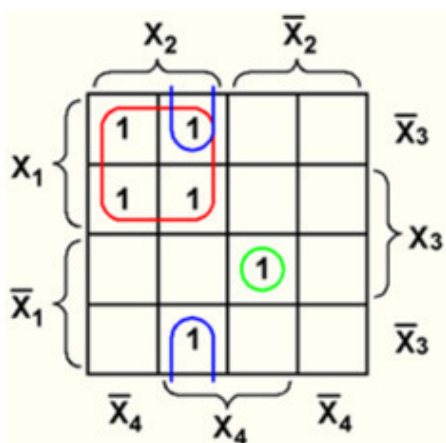
Табл. 2.18

X ₁	X ₂	X ₃	X ₄	Y ₄
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

1. Записываем СДНФ:

$$Y_4 = X_1' \cdot X_2' \cdot X_3 \cdot X_4 \vee X_1' \cdot X_2 \cdot X_3' \cdot X_4 \vee X_1 \cdot X_2 \cdot X_3' \cdot X_4' \vee X_1 \cdot X_2 \cdot X_3' \cdot X_4 \vee X_1 \cdot X_2 \cdot X_3 \cdot X_4' \vee X_1 \cdot X_2 \cdot X_3 \cdot X_4$$

2. Минимизируем СДНФ методом Вейча (рис. 2.41):



МДНФ:

$$Y_4 = X_1' \cdot X_2' \vee X_2' \cdot \bar{X}_3 \cdot X_4 \vee \bar{X}_1 \cdot \bar{X}_2 \cdot X_3 \cdot X_4$$

Рис.2.41

3. Подсчитываем требуемое количество элементов: **3** элемента **НЕ** +1 элемент **2И** +1 элемент **3И** +1 элемент **4И** +2 элемента **2ИЛИ**.

4. Подбираем микросхемы: по одной микросхеме КР1533ЛН1, КР1533ЛИ1, КР1533ЛИЗ, КР1533ЛИ6, КР1533ЛЛ1.

5. Строим схему ЦУ в базе **И, ИЛИ, НЕ** (рис. 2.42) и выполняем анализ ее работы в статическом режиме для одной комбинации входных сигналов (см. **красную** строку в табл. 2.18).

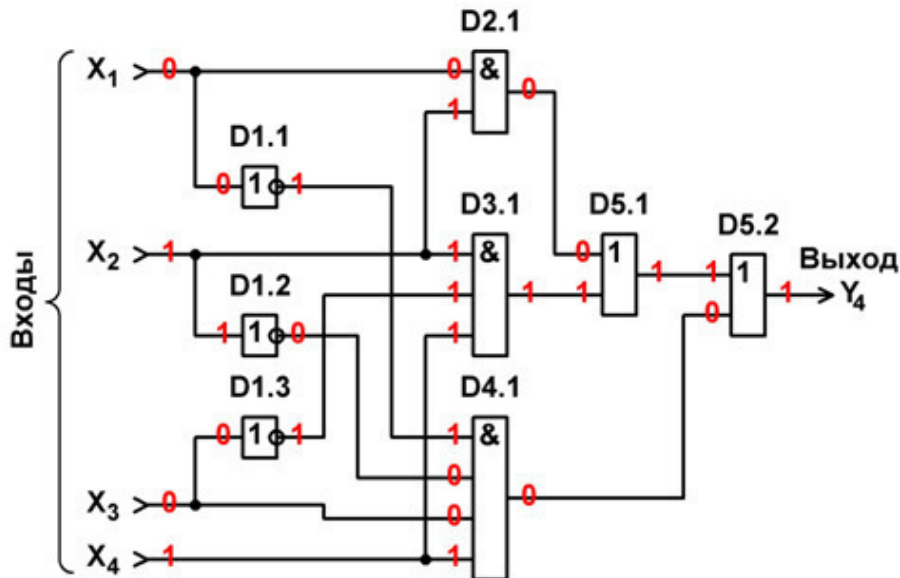


Рис.2.42

6. Составляем перечень элементов к этой схеме (табл. 2.19).

Табл. 2.19

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	3 элем. не использ.
D2	КР1533ЛИ1	1	3 элем. не использ.
D3	КР1533ЛИЗ	1	2 элем. не использ.
D4	КР1533ЛИ6	1	1 элем. не использ.
D5	КР1533ЛЛ1	1	2 элем. не использ.

7. Определяем аппаратные затраты и задержку:

$$W = 3/6 + 1/4 + 1/3 + 1/2 + 2/4 = 0,5 + 0,25 + 0,33 + 0,5 + 0,5 = 2,08 \text{ корпуса}; T = 4\tau.$$

8. Переходим к базису **И-НЕ**:

$$\begin{aligned}
 Y_4 &= [X_1 \cdot X_2 \vee X_2 \cdot X_3' \cdot X_4 \vee X_1' \cdot X_2' \cdot X_3 \cdot X_4]'' = \\
 &= [(X_1 \cdot X_2)' \cdot (X_2 \cdot X_3' \cdot X_4)' \cdot (X_1' \cdot X_2' \cdot X_3 \cdot X_4)']' = \\
 &= [(X_1 / X_2) / (X_2 / X_3' / X_4) / (X_1' / X_2' / X_3 / X_4)].
 \end{aligned}$$

9. Подсчитываем требуемое количество элементов: **4** элемента **2И-НЕ** (из них **3** элемента – для отрицания X_1 , X_2 и X_3) +2 элемента **3И-НЕ** +1 элемент **4И-НЕ**.

10. Подбираем микросхемы: по одной микросхеме КР1533ЛА3, КР1533ЛА4 и КР1533ЛА1.

11. Строим схему ЦУ в базисе **И-НЕ** (рис. 2.43) и выполняем анализ ее работы в статическом режиме для одной комбинации входных сигналов та (см. **красную** строку в табл. 2.18).

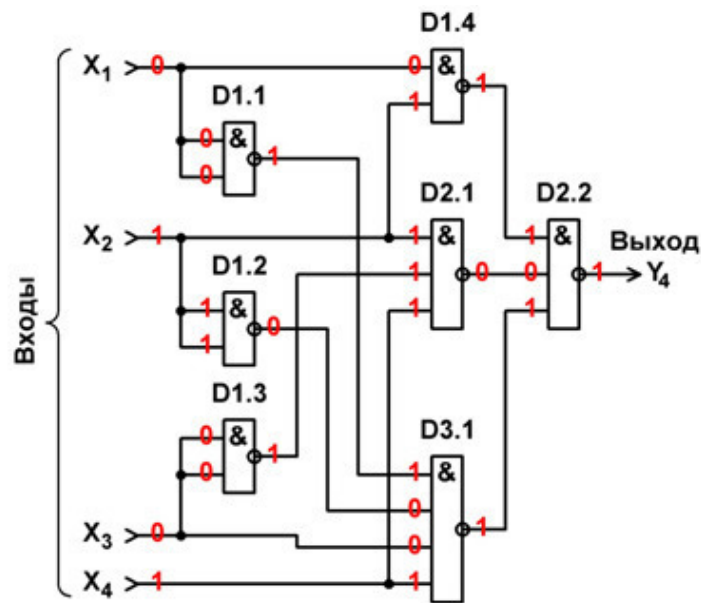


Рис.2.43

12. Составляем перечень элементов к этой схеме (табл. 2.20).

Табл. 2.20

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛА3	1	
D2	КР1533ЛА4	1	1 элем. не использ.
D5	КР1533ЛА1	1	1 элем. не использ.

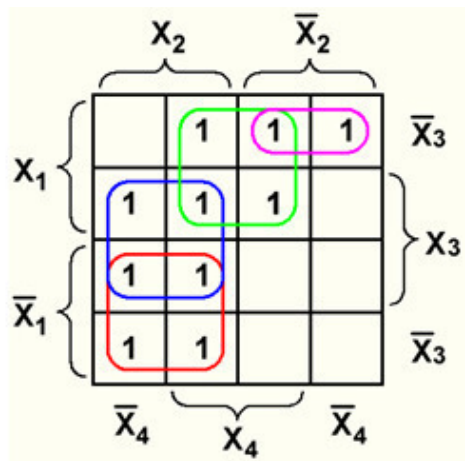
13. Определяем аппаратные затраты и задержку:

$$W = 1 + \frac{2}{3} + \frac{1}{2} = 1 + 0,67 + 0,5 = 2,17 \text{ корпуса}; \quad T = 4\tau.$$

14. Записываем СКНФ:

$$Y_4 = (X_1 \vee X_2 \vee X_3 \vee X_4) \cdot (X_1 \vee X_2 \vee X_3 \vee X_4') \cdot (X_1 \vee X_2 \vee X_3' \vee X_4) \cdot (X_1 \vee X_2' \vee X_3 \vee X_4) \cdot (X_1 \vee X_2' \vee X_3' \vee X_4) \cdot (X_1 \vee X_2' \vee X_3' \vee X_4') \cdot (X_1' \vee X_2 \vee X_3 \vee X_4) \cdot (X_1' \vee X_2 \vee X_3 \vee X_4') \cdot (X_1' \vee X_2 \vee X_3' \vee X_4) \cdot (X_1' \vee X_2 \vee X_3' \vee X_4').$$

15. Минимизируем СКНФ методом Вейча (рис. 2.44).



МКНФ:

$$Y_4 = (\bar{X}_1 \vee X_2) \cdot (X_2 \vee X_3) \cdot (X_1 \vee X_4) \cdot (X_1 \vee \bar{X}_2 \vee \bar{X}_3)$$

Рис.2.44

16. Подсчитываем требуемое количество элементов: **3** элемента **НЕ** +5 элементов **ИЛИ** +1 элемент **И**.

17. Подбираем микросхемы: одна микросхема КР1533ЛН1, две микросхемы КР1533ЛЛ1 и одна микросхема КР1533ЛИ6.

18. Строим схему ЦУ в базисе **И**, **ИЛИ**, **НЕ** (рис. 2.45) и выполняем анализ ее работы в статическом режиме для одной комбинации входных сигналов (см. **красную** строку в табл. 2.18).

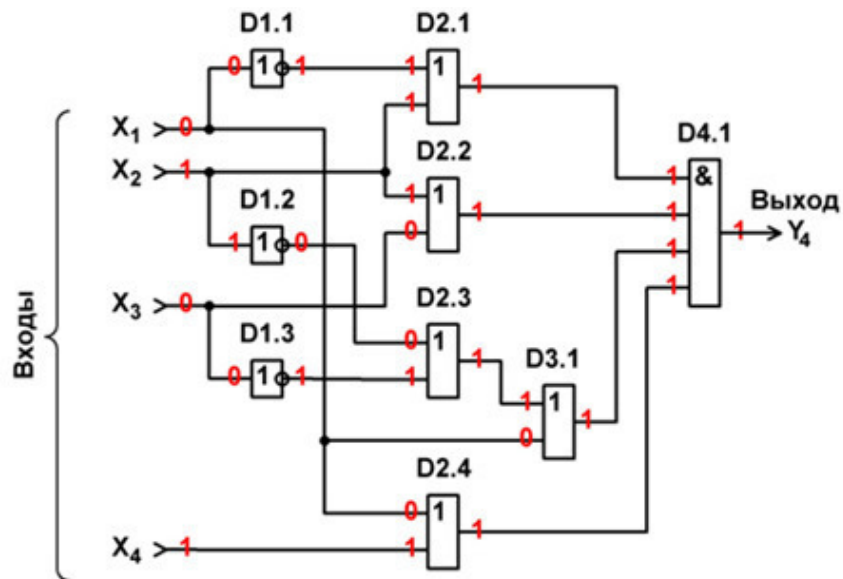


Рис.2.45

19. Составляем перечень элементов к этой схеме (табл. 2.21).

Табл. 2.21

Поз. обозначение	Наименование	Кол.	Примечание
D1	КР1533ЛН1	1	3 элем. не использ.
D2,D3	КР1533ЛЛ1	2	3 элем. из D3 не используются
D5	КР1533ЛИ6	1	1 элем. не использ.

20. Определяем аппаратные затраты и задержку:

$$W = \frac{3}{6} + 1 + \frac{1}{4} + \frac{1}{2} = 0,5 + 1 + 0,25 + 0,5 = 2,25 \text{ корпуса; } T = 4\tau.$$

21. Переходим к базису **ИЛИ-НЕ**:

$$\begin{aligned} Y_4 &= [(X_1' \vee X_2) \cdot (X_1 \vee X_4) \cdot (X_2 \vee X_3) \cdot (X_1 \vee X_2' \vee X_3')]'' = \\ &= [(X_1' \vee X_2)' \vee (X_1 \vee X_4)' \vee (X_2 \vee X_3)' \vee (X_1 \vee X_2' \vee X_3)']' = \\ &= (X_1' \downarrow X_2) \downarrow (X_1 \downarrow X_4) \downarrow (X_2 \downarrow X_3) \downarrow (X_1 \downarrow X_2' \downarrow X_3'). \end{aligned}$$

22. Подсчитываем требуемое количество элементов: **5** элементов **2ИЛИ-НЕ** (из них **3** элемента – для отрицания X_1 , X_2 и X_3) +1 элемент **3ИЛИ-НЕ** +1 элемент **4ИЛИ-НЕ**.

23. Подбираем микросхемы. Здесь предварительно следует обратить внимание на один очень важный момент. Мы только что определили, что в данном случае для построения схемы потребуется элемент **4ИЛИ-НЕ**. Но в серии КР1533 нет микросхем, содержащих такие элементы. Как быть? В этом случае берут элементы с большим количеством входов. Но ведь

при этом один или несколько входов элемента оказываются лишними, как поступать с ними? С этого момента следует запомнить: *неиспользуемые входы логических элементов и вообще любых ЦУ ни в коем случае нельзя оставлять свободными, их обязательно нужно куда-либо присоединять* (за редчайшим исключением). Куда – это зависит от функции данного входа в конкретном элементе или ЦУ. Теоретически у элементов **И** и **И-НЕ** лишние входы лучше всего подключать к источнику сигнала логической **1** (см. тему 2.9), у элементов **ИЛИ** и **ИЛИ-НЕ** – к источнику сигнала логического **0** (см. тему 2.9). Но практически лишние входы любого логического элемента обычно подключаются к любым другим используемым входам этого же элемента.

Именно поэтому в нашей схеме вместо элемента **4ИЛИ-НЕ** приходится использовать элемент **5ИЛИ-НЕ** из микросхемы КР531ЛЕ7 той же структуры ТТЛШ, которую имеют микросхемы серии КР1533 (в схеме – **D4.1**), у которого лишний вход подключен к соседнему. Кроме этого, нам потребуются две микросхемы КР1533ЛЕ1 и одна микросхема КР1533ЛЕ4.

24. Строим схему ЦУ в базе **ИЛИ-НЕ** (рис.2.46) и выполняем анализ ее работы в статическом режиме для одной комбинации входных сигналов (см. **красную** строку в табл. 2.18).

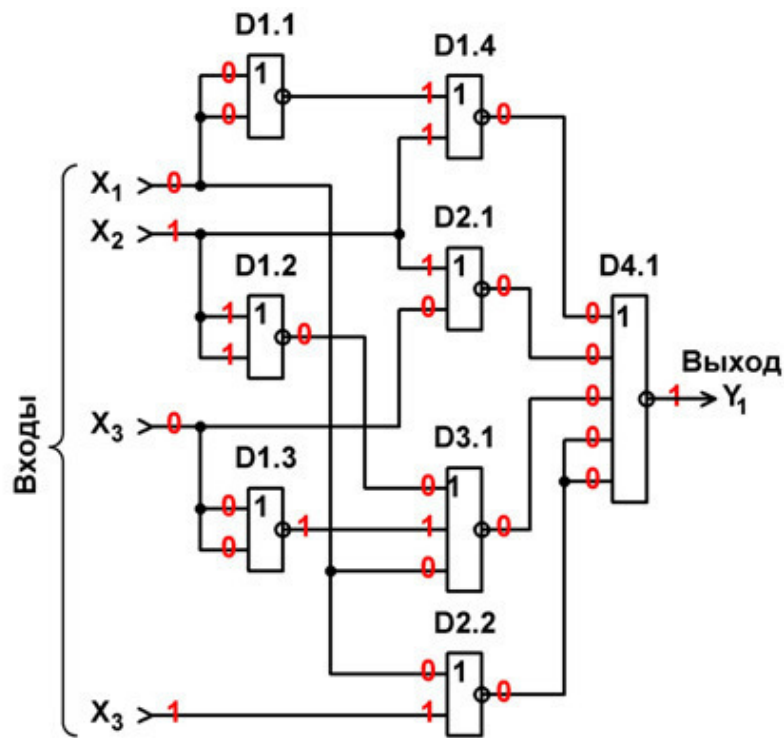


Рис.2.46

25. Составляем перечень элементов к этой схеме (табл. 2.22).

Табл. 2.22

Поз. обозначение	Наименование	Кол.	Примечание
D1,D2	КР1533ЛЕ1	2	2 элем. из D2 не используются
D3	КР1533ЛЕ4	1	2 элем. не использ.
D4	КР1533ЛЕ7	1	1 элем. не использ.

26. Определяем аппаратные затраты и задержку:

$$W = 1 + 2/4 + 1/3 + 1/2 = 1 + 0,5 + 0,33 + 0,5 = 2,33 \text{ корпуса}; \quad T = 3\tau.$$

27. Оценим качество всех четырех схем:

– исключаем схему в базисе **ИЛИ-НЕ** (рис.2.48), у которой наибольшие аппаратные затраты **W = 2,33**

Конец ознакомительного фрагмента.

Текст предоставлен ООО «ЛитРес».

Прочитайте эту книгу целиком, [купив полную легальную версию](#) на ЛитРес.

Безопасно оплатить книгу можно банковской картой Visa, MasterCard, Maestro, со счета мобильного телефона, с платежного терминала, в салоне МТС или Связной, через PayPal, WebMoney, Яндекс.Деньги, QIWI Кошелек, бонусными картами или другим удобным Вам способом.